

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 8 月 28 日 (28.08.2003)

PCT

(10) 国際公開番号
WO 03/071674 A1

- (51) 国際特許分類⁷: H03G 3/30, H03F 3/08, H04B 10/06
- (21) 国際出願番号: PCT/JP02/12684
- (22) 国際出願日: 2002 年 12 月 3 日 (03.12.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2002-41944 2002 年 2 月 19 日 (19.02.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目 2 番 3 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 野上 正道

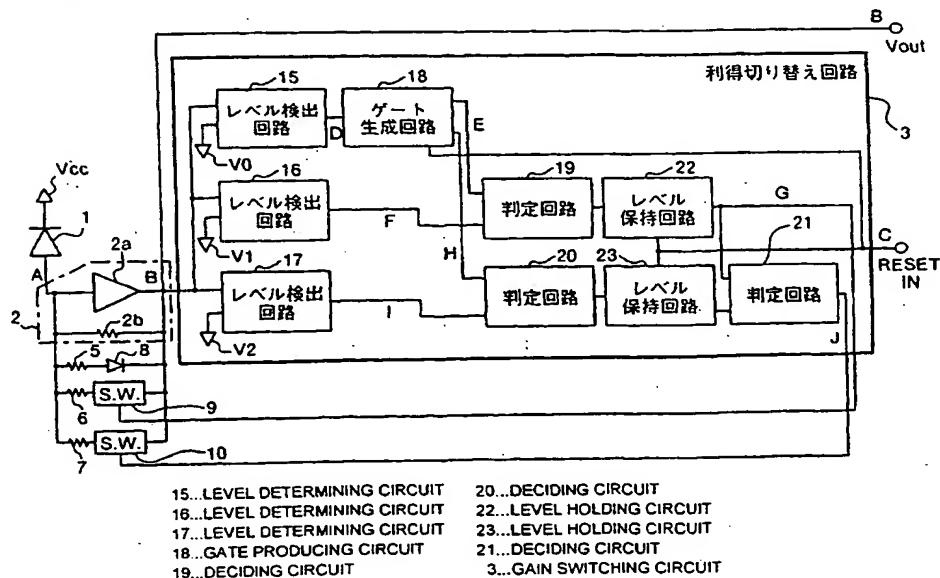
- (NOGAMI, Masamichi) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内 Tokyo (JP). 本島 邦明 (MOTOSHIMA, Kuniaki) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 酒井 宏明 (SAKAI, Hiroaki); 〒100-0013 東京都千代田区霞ヶ関三丁目 2 番 6 号 東京倶楽部ビルディング Tokyo (JP).
- (81) 指定国 (国内): US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR).

添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: CIRCUIT AND METHOD FOR SWITCHING GAINS OF PREAMPLIFIER

(54) 発明の名称: 前置増幅器の利得切り替え回路および方法



(57) Abstract: A gain switching circuit (3) for switching conversion gains of a preamplifier (2), wherein a series circuit comprising a resistor element (6) and an SW (9) and a series circuit comprising a resistor element (7) and an SW (10) are connected in parallel with a feedback resistor element (2b) of the preamplifier (2) that amplifies an output current of a light receiving element (1), which converts a burst light signal into an electric signal, to output a voltage signal. The gain switching circuit (3) receives an output from the preamplifier (2) to close the SW (9) at a particular bit position. Thereafter, when there occurs a situation where the SW (10) should be closed, the gain switching circuit (3) closes the SW (10) at another particular bit position on the condition that the SW (9) has been closed.

[続葉有]



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

バースト状の光信号を電気信号に変換する受光素子(1)の出力電流を増幅し電圧信号を出力する前置増幅器(2)の帰還抵抗素子(2b)と並列に、抵抗素子(6)とSW(9)による直列回路、および抵抗素子(7)とSW(10)による直列回路をそれぞれ接続し、前置増幅器2の変換利得を切り替える利得切り替え回路(3)は、前置増幅器(2)の出力を受けて、特定のビット位置でSW(9)を閉路操作し、その後、SW(10)を閉路操作すべき状況が発生したときは、SW(9)が閉路していることを条件に他の特定のビット位置でSW(10)を閉路操作する。

明 細 書

前置増幅器の利得切り替え回路および方法

5 技術分野

本発明は、光通信システムの光受信装置や、光信号の測定器、モニタなどの光受信部に用いられる前置増幅器の利得切り替え回路および方法に関するものである。

10 背景技術

ここでは、理解を容易にするため、光通信システムの光受信装置に用いられる前置増幅器の利得切り替え回路を例に挙げて説明する。光通信システムとしては、例えばATM-PON (Asynchronous Transfer Mode-Passive Optical Network) が知られている。このATM-PONは、ITU-T勧告G.983として国際標準化された光通信システムであり、時分割多重方式によって一台の局側装置で複数の加入者装置と通信が行えるポイント・マルチポイント伝送が実現できるので、伝送コストの大幅な低減が可能な方式として期待されている。

この種の光通信システムにおける前置増幅器の利得切り替え回路としては、従来、例えば特開2000-315923号公報（バースト光受信回路）に開示されたものが知られている。以下に、第4図～第6図を参照して概要を説明する。なお、第4図は、従来の前置増幅器の利得切り替え回路の構成例を示す回路図である。第5図は、動作を説明するタイムチャートである。第6図は、第4図に示す前置増幅器の利得切り替え回路の制御フローを示す図である。

第4図において、光信号を電気信号に変換する受光素子1の出力（電流信号）aを受ける前置増幅器2は、演算増幅器2aと帰還抵抗素子2bとで構成され、入力される電流信号を増幅し電圧信号を出力するトランスインピーダンスアンプ (Transimpedance Amplifier : 以下「TIA」と称する) である。

T I A 2 の帰還抵抗素子 2 b には、抵抗素子 5 とダイオード 8 による直列回路と、抵抗素子 6 とスイッチング素子である MOS トランジスタ 9 による直列回路と、抵抗素子 7 とスイッチング素子である MOS トランジスタ 10 による直列回路とがそれぞれ並列接続されている。

5 利得切り替え回路 31 は、識別回路 11, 12 と、フリップフロップ回路 13, 14 とを備え、T I A 2 の出力（電圧信号）b を受けて、その出力レベルに応じて MOS トランジスタ 9, 10 を ON（閉路）・OFF（開路）操作して T I A 2 の帰還抵抗値を切り替えるように構成されている。

すなわち、T I A 2 の出力（電圧信号）b は、識別回路 11, 12 の正相入力端（+）に入力されている。識別回路 11 の逆相入力端（-）には、基準電圧 V 1 が入力され、識別回路 12 の逆相入力端（-）には、基準電圧 V 2 が入力されている。ここで、 $V 1 < V 2$ である。

識別回路 11 の出力端は、フリップフロップ回路 13 のクロック入力端 C に接続され、フリップフロップ回路 13 のデータ入力端 D は、電源 V H に接続されている。フリップフロップ回路 13 のデータ出力端 Q から出力される信号 d は、M O S トランジスタ 9 のゲート電極に与えられ、M O S トランジスタ 9 を ON 動作させる。その結果、抵抗素子 6 が帰還抵抗素子 2 b に並列接続されることになる。

また、識別回路 12 の出力端は、フリップフロップ回路 14 のクロック入力端 C に接続され、フリップフロップ回路 14 のデータ入力端 D は、電源 V H に接続されている。フリップフロップ回路 14 のデータ出力端 Q から出力される信号 e は、M O S トランジスタ 10 のゲート電極に与えられ、M O S トランジスタ 10 を ON 動作させる。その結果、抵抗素子 7 が帰還抵抗素子 2 b に並列接続されることになる。

そして、フリップフロップ回路 13, 14 のリセット端 R には、外部からリセット信号（R E S E T）c がそれぞれ入力される。リセット信号（R E S E T）c は、光バースト信号の入力に先立って入力されるので、フリップフロップ回路 13, 14 は、各バースト信号の先頭で初期化されるようになっている。したが

って、MOSトランジスタ9, 10は、各バースト信号の先頭では、OFF（開路）動作状態になっている。

次に、第5図を参照して第4図に示した従来の前置増幅器の利得切り替え回路の動作について説明する。なお、説明の便宜から、ダイオード8は動作しない状況を前提としている。

抵抗素子第5図（a）は、受光素子1の出力電流波形、つまりTIA2の入力電流波形を示している。ここでは、受光素子1には、バースト#1, #2, #3の順序で光バースト信号が入力される場合が示されている。なお、バースト#1, #2, #3は、それぞれ、“1010”のビットパターンを持つデータ信号であり、振幅がこの順に増加しているとしている。

第5図（b）は、TIA2の出力電圧（Vout）bの波形および基準電圧（V1, V2）との関係を示している。バースト#1に対するTIA2の出力電圧（Vout）bは、基準電圧V1以下のレベルである。バースト#2に対するTIA2の出力電圧（Vout）bは、基準電圧V1を超えるが基準電圧V2を越えないレベルである。バースト#3に対するTIA2の出力電圧（Vout）bは、基準電圧V2を超えるレベルである。

第5図（c）は、リセット信号（RESET）cの波形である。第5図（c）に示すように、リセット信号（RESET）cは、バースト#1, #2, #3それぞれの先頭で入力される。これによって、フリップフロップ回路13, 14は、各バースト信号の先頭では初期化された状態になる。MOSトランジスタ9, 10は、各バースト信号の先頭では、OFF（開路）動作状態になっている。つまり、TIA2は、各バースト信号の先頭では、帰還抵抗素子2bで決まるTIA2本来の変換利得になっている。

第5図（d）（e）は、識別回路11, 12およびフリップフロップ回路13, 14の動作を説明する波形図である。第5図（d）において、TIA2が出力するバースト#1の振幅は、基準電圧V1以下であるので、識別回路11は動作せず、TIA2は本来の変換利得でバースト#1を増幅する。

識別回路 11 では、バースト # 2 の第 1 ビットの振幅が基準電圧 V_1 を超えたので、出力レベルを “0” レベルから “1” レベルに立ち上げ、リセット信号 (RESET) c が入力されるまで保持する。フリップフロップ回路 13 のデータ出力端 Q から “1” レベルの信号 d が出力され、MOS トランジスタ 9 が ON 動作を行い、抵抗素子 6 が帰還抵抗素子 2b に並列接続される。その結果、バースト # 2 では、TIA2 の変換利得が本来の変換利得から帰還抵抗素子 2b と抵抗素子 6 の並列接続による帰還抵抗値にて定まる小さい変換利得に切り替えられる。

次いで識別回路 11 では、バースト # 3 の第 1 ビットの振幅が基準電圧 V_1 を超えたので、出力レベルを “0” レベルから “1” レベルに立ち上げる。フリップフロップ回路 13 のデータ出力端 Q から “1” レベルの信号 d が出力され、MOS トランジスタ 9 が ON 動作を行い、抵抗素子 7 が帰還抵抗素子 2b に並列接続される。

同時に、第 5 図 (e) において、識別回路 12 では、バースト # 3 の第 1 ビットの振幅が基準電圧 V_2 を超えたので、出力レベルを “0” レベルから “1” レベルに立ち上げる。フリップフロップ回路 14 のデータ出力端 Q から “1” レベルの信号 e が出力され、MOS トランジスタ 10 が ON 動作を行い、抵抗素子 7 が帰還抵抗素子 2b に並列接続される。その結果、バースト # 3 では、TIA2 の変換利得が本来の変換利得から帰還抵抗素子 2b と抵抗素子 6, 7 の並列接続による帰還抵抗値にて定まるさらに小さい変換利得に切り替えられる。

第 6 図に示すフロー図は、以上の動作をまとめて示したものである。第 6 図において、ステップ S81 では、バースト信号の先頭でリセット信号 (RESET) の受け付けが行われる。すなわち、リセット信号 (RESET) が入力されると、フリップフロップ回路 13, 14 がリセットされ、MOS トランジスタ 9, 10 が OFF 動作状態になり、TIA2 が本来の変換利得に戻される。

この状態で光バースト信号が受光素子 1 に入力されると、TIA2 の出力レベルが識別回路 11, 12 にてそれぞれの閾値 (V_1 , V_2) を越えるか否かが検出される (ステップ S82)。

T I A 2 の出力レベルが基準電圧 V_1 以下であるときは（ステップ S 8 3 ; N o）、利得切り替え回路 3 1 による MOS トランジスタ 9 の ON 操作は行われ
ない。T I A 2 の出力レベルが基準電圧 V_1 以上であるときは（ステップ S 8 3 ;
Y e s）、利得切り替え回路 3 1 による MOS トランジスタ 9 の ON 操作が行わ
5 れ、その ON 動作状態が保持される（ステップ S 8 4）。

また、T I A 2 の出力レベルが基準電圧 V_2 以下であるときは（ステップ S 8
5 ; N o）、利得切り替え回路 3 1 による MOS トランジスタ 1 0 の ON 操作は
行われない。T I A 2 の出力レベルが基準電圧 V_2 以上であるときは（ステップ
S 8 5 ; Y e s）、利得切り替え回路 3 1 による MOS トランジスタ 1 0 の ON
10 操作が行われ、その ON 動作状態が保持される（ステップ S 8 6）。

このように、従来の前置増幅器の利得切り替え回路では、T I A 2 の出力レベ
ルが基準電圧 V_1 以下であるときは、T I A 2 本来の変換利得に設定し、基準電
圧 V_1 を越え基準電圧 V_2 以下であるときは、MOS トランジスタ 9 のみを ON
操作して抵抗素子 6 を帰還抵抗素子 2 b に並列接続し、基準電圧 V_2 を越えると
15 きは、MOS トランジスタ 9, 1 0 を共に ON 操作して抵抗素子 6, 7 を帰還抵
抗素子 2 b に並列接続し、T I A 2 の変換利得を切り替えるようにしている。

しかしながら、従来の前置増幅器の利得切り替え回路では、第 6 図に示した制
御フローから理解できるように、T I A の出力振幅が基準電圧を超えると必ず M
O S トランジスタを ON 動作させる構成になっているので、バースト信号波形に
20 リンギングや振幅の揺らぎ、信号サグなど各種の波形歪みがあると、必ずしもバ
ースト信号の先頭で利得切り替えが行われず、バースト信号内の任意のビット位
置で利得切り替えが行われる可能性があり、閾値の追従が困難である。また、波
形歪み等によっては目的とは異なる変換利得に設定される可能性があるという問
題がある。

以下に、第 4 図、第 6 図～第 8 図を参照して具体的に説明する。なお、第 7 図
25 は、第 4 図に示す前置増幅器の利得切り替え回路の誤動作を説明するタイムチャ
ートである。第 8 図は、第 4 図に示す前置増幅器である T I A 2 の入出力特性を

示す図である。

第7図において、第7図(a')は、受光素子1の出力電流波形、つまりT I A 2の入力電流波形を示している。ここでは、受光素子1には、第1バースト、第2バーストの光バースト信号がこの順に入力される場合が示されている。なお、第1バースト、第2バーストは、それぞれ“1010”のビットパターンを持つデータ信号であり、振幅がこの順に増加しているとしている。各バーストでは、各“1”ビットの立ち上がり部分に大きなリングングなどの波形歪みが見られる。

第7図(b')は、T I A 2の出力電圧(V o u t)の波形および基準電圧(V 1, V 2)との関係を示している。第1バーストに対するT I A 2の出力波形では、点線61で示す波形が目的の信号波形であり、基準電圧V 1とほぼ同等のレベルにある。一方、実線62で示す波形は、誤動作を引き起こす原因となる波形であり、リングングや振幅の揺らぎなどでランダムに基準電圧V 1を超える場合と超えない場合があることが示されている。

また、第2バーストに対するT I A 2の出力波形では、点線63で示す波形が目的の信号波形であり、基準電圧V 1を超え基準電圧V 2を超えないレベルにある。一方、実線64で示す波形は、誤動作を引き起こす原因となる波形であり、第1ビットに基準電圧V 2を超える大きな信号サグT dがあり、その後の各ビットが基準電圧V 1以下に大きく潰された状態が示されている。

第7図(c')は、リセット信号(R E S E T)の波形である。第7図(c')に示すように、リセット信号(R E S E T)は、第1バースト、第2バーストそれぞれの先頭で入力される。これによって、フリップフロップ回路13, 14は、各バースト信号の先頭では初期化された状態になる。M O S トランジスタ9, 10は、各バースト信号の先頭では、O F F (開路)動作状態になっている。つまり、T I A 2は、各バースト信号の先頭では、帰還抵抗素子2bで決まるT I A 2本来の変換利得になっている。

第7図(d')(e')は、識別回路11, 12およびフリップフロップ回路13, 14の動作を説明する波形図である。第7図(d')において、T I A 2

が出力する第1バーストに対する信号波形が、第7図(b')に点線61で示す目的の信号波形であれば、第1ビットの振幅が基準電圧V1を超えるので、識別回路11は第1ビット位置で正しく認識でき、点線65に示すように、第1ビットのタイミングからMOSトランジスタ9をON動作させることができる。

5 しかし、TIA2が出力する第1バーストに対する信号波形が、第7図(b')に実線62で示す波形であれば、第1ビット位置だけではなく、その後の任意のビット位置で基準電圧V1を超える場合が生じ、バースト信号内の任意のビット位置でMOSトランジスタ9をON動作させることが起きる。例えば、実線66で示すように、第5ビット位置からMOSトランジスタ9をON動作させることが起こり、変換利得の切り替えがバースト信号の途中で行われることになる。

10 また、第7図(e')において、TIA2が出力する第2バーストに対する信号波形が、第7図(b')に点線63で示す目的の信号波形であれば、第1ビットの振幅は基準電圧V1のみを超え、基準電圧V2を超えないので、識別回路11のみが動作し、識別回路12は動作しない。この場合には、点線67に示すように、第1ビットのタイミングからMOSトランジスタ10はOFF動作を維持し、第7図(d')に示すようにMOSトランジスタ9のみがON動作を行う。

15 しかし、TIA2が出力する第1バーストに対する信号波形が、第7図(b')に実線64で示す大きな信号サグのある波形であれば、第1ビット位置で基準電圧V2を超えるので、識別回路12も認識し、実線68で示すように、第1ビットのタイミングからMOSトランジスタ10もON動作させることが起こる。つまり、この場合は、抵抗素子6のみを帰還抵抗素子2bに並列接続した変換利得が目的の利得であるが、さらに抵抗素子7も並列接続した目的とは異なる変換利得に設定されてしまうことが起こり、出力振幅が目的の振幅よりも小さくなる。

20 次に、第8図は、以上の動作をTIA2の入出力特性との関係で説明する図である。第8図において、特性71、72、73は、第5図に示した動作に対応している。すなわち、特性71は、バースト#1のようにTIA2が本来の変換利得で動作する場合の入出力特性である。次いで、バースト#2では、基準電圧V

1 を超えるタイミングである利得切替点Aにて、MOS トランジスタ 9 がON動作を行うので、利得の切り替えが行われ特性 7 2 の入出力特性となる。そして、バースト # 3 では、基準電圧 V_2 を超えるタイミングである利得切替点Bにて、MOS トランジスタ 9, 10 がON動作を行うので、利得の切り替えが行われ特性 7 3 の入出力特性となる。

これに対し、第 7 図に示した動作では、第 1 バーストは、基準電圧 V_1 と同等のレベル、つまり利得切替点A近くのレベルである。そのため、波形のリングングや振幅の揺らぎなどによって、第 1 ビット位置だけではなく、その後の任意のビット位置で基準電圧 V_1 を超える場合が生じ、バースト信号内の任意のビット位置でMOS トランジスタ 9 をON動作させることが起きる。

また、第 2 バーストでは、第 1 ビットが波形のリングングなどにより誤って基準電圧 V_2 を超えると、第 1 ビット位置でMOS トランジスタ 9, 10 をON動作させることが起きる。したがって、利得切替点Bが小振幅側の利得切替点B' に移動し、特性 7 3 が小振幅側の利得切替点B' からスタートする特性 7 4 となることが起きるので、出力振幅が目的の振幅よりも非常に小さい振幅になってしまう。

従って、この発明は、バースト信号の特定のビット位置でのみ利得切り替えを実施し、各バースト信号のレベルに応じた適切な変換利得に切り替えることができる前置増幅器の利得切り替え回路および方法を提供することを目的としている。

発明の開示

この発明にかかる前置増幅器の利得切り替え回路は、バースト状の光信号を電気信号に変換する受光素子の出力電流を増幅し電圧信号を出力する前置増幅器であって、帰還抵抗素子と並列に、第 1 抵抗素子と第 1 スイッチング素子による直列回路、および第 2 抵抗素子と第 2 スイッチング素子による直列回路がそれぞれ接続される前置増幅器の変換利得を切り替える利得切り替え回路は、前記前置増幅器の出力を受けて、特定のビット位置で前記第 1 スイッチング素子を閉路操作

し、その後、前記第2スイッチング素子を閉路操作すべき状況が発生したときは、前記第1スイッチング素子が閉路動作をしていることを条件に他の特定のビット位置で前記第2スイッチング素子を閉路操作する構成を備えたことを特徴とする。

この発明によれば、利得切り替え回路では、帰還抵抗素子と並列に、第1抵抗素子と第1スイッチング素子による直列回路、および第2抵抗素子と第2スイッチング素子による直列回路がそれぞれ接続され、バースト状の光信号を電気信号に変換する受光素子の出力電流を増幅し電圧信号を出力する前置増幅器の出力を受けて、特定のビット位置で前記第1スイッチング素子が閉路操作され、その後、前記第2スイッチング素子を閉路操作すべき状況が発生したときは、前記第1スイッチング素子が閉路動作をしていることを条件に他の特定のビット位置で前記第2スイッチング素子が閉路操作される。

つぎの発明にかかる前置増幅器の利得切り替え回路は、上記の発明において、前記前置増幅器は、前記帰還抵抗素子と並列に、第3抵抗素子とダイオードによる直列回路が接続されていることを特徴とする。

この発明によれば、上記の発明において、前記前置増幅器には、前記帰還抵抗素子と並列に、さらに、第3抵抗素子とダイオードによる直列回路が接続されている。

つぎの発明にかかる前置増幅器の利得切り替え回路は、上記の発明において、前記利得切り替え回路は、前記前置増幅器の出力レベルが第1基準電圧を超える場合において、前記特定のビット位置で第1ゲート信号を発生し、その後、前記他の特定のビット位置で第2ゲート信号を発生するゲート信号発生手段と、前記前置増幅器の出力レベルが前記第1基準電圧よりも大きい第2基準電圧を超える場合において、前記第2基準電圧を超えときのタイミングが前記第1ゲート信号の発生時間幅内であるとき前記第1スイッチング素子を閉路操作する第1操作手段と、前記前置増幅器の出力レベルが前記第2基準電圧よりも大きい第3基準電圧を超える場合において、前記第3基準電圧を超えときのタイミングが前記第2ゲート信号の発生時間幅内であり、かつ前記第1スイッチング素子が閉路操

作されているときに前記第 2 スイッチング素子を閉路操作する第 2 操作手段とを備えたことを特徴とする。

この発明によれば、上記の発明において、利得切り替え回路では、前記前置増幅器の出力レベルが第 1 基準電圧を超える場合において、まずゲート信号発生手段にて、特定のビット位置で第 1 ゲート信号が発生され、その後、前記他の特定のビット位置で第 2 ゲート信号が発生される。その結果、第 1 操作手段にて、前記前置増幅器の出力レベルが前記第 1 基準電圧よりも大きい第 2 基準電圧を超える場合において、前記第 2 基準電圧を超えるときのタイミングが前記第 1 ゲート信号の発生時間幅内であるとき前記第 1 スイッチング素子が閉路操作される。また、第 2 操作手段にて、前記前置増幅器の出力レベルが前記第 2 基準電圧よりも大きい第 3 基準電圧を超える場合において、前記第 3 基準電圧を超えるときのタイミングが前記第 2 ゲート信号の発生時間幅内であり、かつ前記第 1 スイッチング素子が閉路操作されているときに前記第 2 スイッチング素子が閉路操作される。

つぎの発明にかかる前置増幅器の利得切り替え回路は、上記の発明において、前記利得切り替え回路は、前記前置増幅器の出力レベルが第 1 基準電圧を超える期間内パルス信号を出力する第 1 レベル検出回路と、前記前置増幅器の出力レベルが前記第 1 基準電圧よりも大きい第 2 基準電圧を超える期間内パルス信号を出力する第 2 レベル検出回路と、前記前置増幅器の出力レベルが前記第 2 基準電圧よりも大きい第 3 基準電圧を超える期間内パルス信号を出力する第 3 レベル検出回路と、外部から入力されるリセット信号の立ち下がりから前記特定のビット位置に対応する前記第 1 レベル検出回路の出力パルス信号の立ち下がりまでの期間をパルス幅とする第 1 ゲート信号、および前記第 1 ゲート信号の立ち下がりから前記他の特定のビット位置に対応する前記第 1 レベル検出回路の出力パルス信号の立ち下がりまでの期間をパルス幅とする第 2 ゲート信号をそれぞれ生成するゲート信号生成回路と、前記第 2 レベル検出回路の出力パルス信号が前記第 1 ゲート信号のパルス幅内で入力するとき第 1 判定信号を出力する第 1 判定回路と、前記第 1 判定信号を前記リセット信号が入力するまでの期間内保持し、前記第 1 ス

イッチング素子を閉路動作させる第1保持回路と、前記第3レベル検出回路の出力パルス信号が前記第2ゲート信号のパルス幅内で入力するとき第2判定信号を出力する第2判定回路と、前記第2判定信号を前記リセット信号が入力するまでの期間内保持する第2保持回路と、前記第1保持回路が前記第1判定信号を保持出力している場合に前記第2保持回路が前記第2判定信号を保持出力したとき、前記第2保持回路の出力に従って前記第2スイッチング素子を閉路動作させる第3判定回路とを備えたことを特徴とする。

この発明によれば、上記の発明において、前置増幅器の出力は、第1～第3のレベル検出回路にそれぞれ入力される。第1レベル検出回路で、前置増幅器の出力レベルが第1基準電圧を超える期間内パルス信号が出力されると、ゲート信号生成回路にて、外部から入力されるリセット信号の立ち下がりから特定のビット位置に対応する第1レベル検出回路の出力パルス信号の立ち下がりまでの期間をパルス幅とする第1ゲート信号、および第1ゲート信号の立ち下がりから他の特定のビット位置に対応する第1レベル検出回路の出力パルス信号の立ち下がりまでの期間をパルス幅とする第2ゲート信号がそれぞれ生成される。第2レベル検出回路にて、前置増幅器の出力レベルが前記第1基準電圧よりも大きい第2基準電圧を超える期間内パルス信号が出力されると、第1判定回路にて、第2レベル検出回路の出力パルス信号が前記第1ゲート信号のパルス幅内で入力するとき第1判定信号が出力される。その結果、第1保持回路にて、この第1判定信号が前記リセット信号が入力するまでの期間内保持され、第1スイッチング素子が閉路動作され、第1ゲート信号にて規定される特定のビット位置において前置増幅器の変換利得の切り替えが実施される。また、第3レベル検出回路にて、前置増幅器の出力レベルが前記第2基準電圧よりも大きい第3基準電圧を超える期間内パルス信号が出力されると、第2判定回路にて、第3レベル検出回路の出力パルス信号が前記第2ゲート信号のパルス幅内で入力するとき第2判定信号が出力され、第2保持回路にてこの第2判定信号が前記リセット信号が入力するまでの期間内保持される。そして、第3判定回路にて、前記第1保持回路が前記第1判定信号

を保持出力している場合に前記第2保持回路が前記第2判定信号を保持出力したとき、前記第2保持回路の出力に従って第2スイッチング素子を閉路動作させる。その結果、第2ゲート信号にて規定される特定のビット位置において、第1スイッチング素子と第1スイッチング素子が共に閉路動作した新たな変換利得への切り替えが実施される。

つぎの発明にかかる前置増幅器の利得切り替え回路は、上記の発明において、前記第1基準電圧は、前記前置増幅器の出力信号に現れる波形歪みのレベルを考慮し前記第2基準電圧との間に比較的大きい電圧差を持つように設定されることを特徴とする。

この発明によれば、上記の発明において、第1基準電圧は、前置増幅器の出力信号に現れる波形歪みのレベルを考慮し第2基準電圧との間に比較的大きい電圧差を持つように設定されている。

つぎの発明にかかる前置増幅器の利得切り替え回路は、上記の発明において、前記前置増幅器の帰還抵抗素子には、さらに、抵抗素子とスイッチング素子による直列回路の N 個 ($N \geq 3$) がそれぞれ並列に接続され、前記利得切り替え回路は、前記前置増幅器の出力を受けて、その後、 i 番目 ($3 \leq i \leq N$) の直列回路のスイッチング素子を閉路操作すべき状況が発生したときは、前記 i 番目の直列回路以前の全ての直列回路のスイッチング素子が閉路動作をしていることを条件に該当する特定のビット位置で前記 i 番目の直列回路のスイッチング素子を閉路操作することを特徴とする。

この発明によれば、上記の発明において、前置増幅器の帰還抵抗素子には、さらに、抵抗素子とスイッチング素子による直列回路の N 個 ($N \geq 3$) がそれぞれ並列に接続されている場合に、利得切り替え回路では、前置増幅器の出力を受けて、その後、 i 番目 ($3 \leq i \leq N$) の直列回路のスイッチング素子を閉路操作すべき状況が発生したときは、前記 i 番目の直列回路以前の全ての直列回路のスイッチング素子が閉路動作をしていることを条件に該当する特定のビット位置で前記 i 番目の直列回路のスイッチング素子が閉路操作される。

つぎの発明にかかる前置増幅器の利得切り替え方法は、バースト状の光信号を電気信号に変換する受光素子の出力電流を増幅し電圧信号を出力する前置増幅器の帰還抵抗素子と並列に、第1抵抗素子と第1スイッチング素子による直列回路、および第2抵抗素子と第2スイッチング素子による直列回路をそれぞれ接続し、

5 前記第1スイッチング素子と前記第2スイッチング素子を閉路操作また閉路操作して前記前置増幅器の変換利得を切り替える利得切り替え方法であって、前記前置増幅器の出力を受けて、特定のビット位置で前記第1スイッチング素子を閉路操作し、その後、前記第2スイッチング素子を閉路操作すべき状況が発生したときは、前記第1スイッチング素子が閉路動作をしていることを条件に他の特定の

10 ビット位置で前記第2スイッチング素子を閉路操作する工程を含むことを特徴とする。

この発明によれば、帰還抵抗素子と並列に、第1抵抗素子と第1スイッチング素子による直列回路、および第2抵抗素子と第2スイッチング素子による直列回路がそれぞれ接続され、バースト状の光信号を電気信号に変換する受光素子の出力電流を増幅し電圧信号を出力する前置増幅器の出力を受けて、特定のビット位置で前記第1スイッチング素子が閉路操作され、その後、前記第2スイッチング素子を閉路操作すべき状況が発生したときは、前記第1スイッチング素子が閉路動作をしていることを条件に他の特定のビット位置で前記第2スイッチング素子が閉路操作される。

20 つぎの発明にかかる前置増幅器の利得切り替え方法は、上記の発明において、前記前置増幅器の帰還抵抗素子には、さらに、抵抗素子とスイッチング素子による直列回路の N 個 ($N \geq 3$) がそれぞれ並列に接続されている場合に、前記前置増幅器の出力を受けて、その後、 i 番目 ($3 \leq i \leq N$) の直列回路のスイッチング素子を閉路操作すべき状況が発生したときは、前記 i 番目の直列回路以前の全ての直列回路のスイッチング素子が閉路動作をしていることを条件に該当する特

25 定のビット位置で前記 i 番目の直列回路のスイッチング素子を閉路操作する工程を含むことを特徴とする。

この発明によれば、上記の発明において、前置増幅器の帰還抵抗素子には、さらに、抵抗素子とスイッチング素子による直列回路の N 個 ($N \geq 3$) がそれぞれ並列に接続されている場合に、前置増幅器の出力を受けて、その後、 i 番目 ($3 \leq i \leq N$) の直列回路のスイッチング素子を閉路操作すべき状況が発生したときは、前記 i 番目の直列回路以前の全ての直列回路のスイッチング素子が閉路動作をして、前記 i 番目の直列回路のスイッチング素子が閉路操作される。

図面の簡単な説明

第 1 図は、この発明の一実施の形態である前置増幅器の利得切り替え回路の構成を示す回路図であり、第 2 図は、第 1 図に示す前置増幅器の利得切り替え回路の動作例を説明するタイムチャートであり、第 3 図は、第 1 図に示す前置増幅器の利得切り替え回路の制御フローを示す図であり、第 4 図は、従来の前置増幅器の利得切り替え回路の構成例を示す回路図であり、第 5 図は、第 4 図に示す前置増幅器の利得切り替え回路の動作を説明するタイムチャートであり、第 6 図は、第 4 図に示す前置増幅器の利得切り替え回路の制御フローを示す図であり、第 7 図は、第 4 図に示す前置増幅器の利得切り替え回路の誤動作を説明するタイムチャートであり、第 8 図は、第 4 図に示す前置増幅器の入出力特性を示す図である。

発明を実施するための最良の形態

以下に添付図面を参照して、この発明にかかる前置増幅器の利得切り替え回路および方法の好適な実施の形態を詳細に説明する。

第 1 図は、この発明の一実施の形態である前置増幅器の利得切り替え回路の構成を示す回路図である。第 1 図において、光信号を電気信号に変換する受光素子 1 の出力（電流信号） A を受ける前置増幅器 2 は、演算増幅器 2 a と帰還抵抗素子 2 b とで構成され、入力される電流信号を増幅し電圧信号を出力するトランスインピーダンスアンプ (TIA) である。TIA 2 の帰還抵抗素子 2 b には、抵抗

素子5とダイオード8による直列回路と、抵抗素子6とスイッチング素子であるMOSトランジスタ9（以下「SW9」と称する）による直列回路と、抵抗素子7とスイッチング素子であるMOSトランジスタ10（以下「SW10」と称する）による直列回路とがそれぞれ並列接続されている。以上は、第4図に示した構成と同様である。」

なお、抵抗素子5とダイオード8による直列回路は設けられない場合もある。抵抗素子5とダイオード8による直列回路を考慮すると、SW9、10がOFF動作状態にあるときのTIA2の変換利得は、帰還抵抗素子2bの値で決まる利得、または、帰還抵抗素子2bと抵抗素子5の並列抵抗値で決まる利得のいずれかとなる。ここでは、説明を容易にするため、抵抗素子5とダイオード8による直列回路は無視し、帰還抵抗素子2bの値で決まる利得がTIA2本来の変換利得であるとする。

この実施の形態による利得切り替え回路3は、レベル検出回路15、16、17と、ゲート生成回路18と、判定回路19、20、21と、レベル保持回路22、23とを備え、バースト信号の特定のビット位置で利得切り替えを実施し、その後、異なる利得切り替え原因が発生した場合には、単独の切り替え動作を行うのではなく、必ず一つ前の利得切り替え動作が行われたことを条件に他の特定のビット位置で利得切り替えを実施することとし、各バースト信号のレベルに応じた適切な変換利得に切り替え得ようになっている。

ここでは、その一例として、各バースト信号のビットパターンが“1010”である場合に、第1ビット位置で利得切り替えを実施し、その後、第3ビット位置で利得切り替え原因が発生した場合には、単独の切り替え動作を行うのではなく、必ず第1ビット位置で利得切り替え動作が行われたことを条件に第3ビット位置での利得切り替えを実施する場合の構成例が示されている。

すなわち、TIA2の出力（電圧信号）Bは、レベル検出回路15、16、17の一方の入力端に入力されている。レベル検出回路15の他方の入力端には、第1基準電圧である基準電圧V0が入力されている。レベル検出回路16の他方

の入力端には、第2基準電圧である基準電圧V1が入力されている。レベル検出回路17の他方の入力端には、第3基準電圧である基準電圧V2が入力されている。ここで、 $V0 < V1 < V2$ である。

レベル検出回路15の出力Dは、ゲート生成回路18に入力され、ゲート生成回路18の出力E（第1ゲート信号）、H（第2ゲート信号）は、判定回路19、20の一方の入力端にそれぞれ入力されている。レベル検出回路16の出力Fは、判定回路19の他方の入力端に入力され、レベル検出回路17の出力Iは、判定回路20の他方の入力端に入力されている。

判定回路19の出力は、レベル保持回路22に入力され、レベル保持回路22の出力Gは、SW9の制御信号となるとともに、判定回路21の一方の入力端に入力されている。判定回路20の出力は、レベル保持回路23に入力され、レベル保持回路23の出力は、判定回路21の他方の入力端に入力されている。判定回路21の出力Jは、SW10の制御信号となっている。

そして、ゲート生成回路18とレベル保持回路22、23には、外部からリセット信号（RESET）Cがそれぞれ入力される。リセット信号（RESET）Cは、光バースト信号の入力に先立って入力されるので、ゲート生成回路18とレベル保持回路22、23は、各バースト信号の先頭で初期化されるようになっている。したがって、SW9、10は、各バースト信号の先頭では、OFF（開路）動作状態になっている。

次に、第1図～第3図を参照して、この実施の形態による前置増幅器の利得切り替え回路の動作を説明する。なお、第2図は、第1図に示す前置増幅器の利得切り替え回路の動作例を説明するタイムチャートである。第3図は、第1図に示す前置増幅器の利得切り替え回路の制御フローを示す図である。

まず、第1図、第2図を参照して、利得切り替え動作の一例を説明する。第2図では、理解を容易にするため、第5図で示したのと同様形式のバースト信号についての動作例が示されている。

すなわち、第2図（A）は、受光素子1の出力電流波形、つまりTIA2の入

力電流波形を示し、受光素子1には、バースト#1, #2, #3の順序で光バースト信号が入力される場合が示されている。なお、バースト#1, #2, #3は、それぞれ、“1010”のビットパターンを持つデータ信号であり、振幅がこの順に増加しているとしている。

5 第2図(B)は、TIA2の出力電圧(V_{out})Bの波形および基準電圧(V_0 , V_1 , V_2)との関係を示している。バースト#1に対するTIA2の出力電圧(V_{out})Bは、基準電圧 V_0 以下のレベルである。バースト#2に対するTIA2の出力電圧(V_{out})Bは、基準電圧 V_1 を超えるが基準電圧 V_2 を超えないレベルである。バースト#3に対するTIA2の出力電圧(V_{out})Bは、基準電圧 V_2 を超えるレベルである。

10 第2図(C)は、リセット信号(RESET)Cの波形である。第2図(C)に示すように、リセット信号(RESET)Cは、バースト#1, #2, #3それぞれの先頭で入力される。これによって、ゲート生成回路18とレベル保持回路22, 23は、各バースト信号の先頭では初期化された状態になる。また、SW9, 10は、各バースト信号の先頭では、OFF(開路)動作状態になっている。つまり、TIA2は、各バースト信号の先頭では、帰還抵抗素子2bで決まるTIA2本来の変換利得になっている。

15 第2図(D)は、レベル検出回路15の動作を示す波形図である。バースト#1は、基準電圧 V_0 以下であるので、レベル検出回路15の出力Dは、“0”レベルである。バースト#2, #3は、基準電圧 V_0 を超えるので、レベル検出回路15の出力Dは、バースト信号の各ビットに対応して“1”レベルと“0”レベルを交互に繰り返す波形となる。

20 第2図(E)は、ゲート生成回路18が第1ゲート信号Eを発生する動作を示す波形図である。バースト#1では、バースト#1に先立つリセット信号(RESET)Cの立ち上がりに対応して初期化され、そのリセット信号(RESET)Cの立ち下がりに対応して出力を“1”レベルにする。レベル検出回路15の出力Dが“0”レベルであるので、ゲート生成回路18は、その“1”レベルの

出力を次のバースト# 2に先立つリセット信号 (RESET) Cが入力されるまで維持し、入力されると初期化され、出力を“0”レベルにする。

そして、バースト# 2に先立つリセット信号 (RESET) Cの立ち下がりに応答して出力Eを“1”レベルにする。今度は、レベル検出回路15の出力が“1”レベルと“0”レベルを交互に繰り返す波形であるので、レベル検出回路15の出力が最初に“1”レベルとなり“0”レベルに立ち下がるまでの期間内、ゲート生成回路18は、出力Eを“1”レベルに維持する。バースト# 3においても同様の動作が行われる。

ここで、レベル検出回路15の出力が最初に“1”レベルとなる位置は、第1ビット位置である。つまり、ゲート生成回路18は、レベル検出回路15が基準電圧V0を超えるバースト信号を検出している状況下においては、このようにリセット信号 (RESET) Cの立ち下がりから第1ビットの終端までをパルス幅とする第1ゲート信号Eを発生する。この第1ゲート信号Eが判定回路19に与えられる。

第2図 (H) は、ゲート生成回路18が第1ゲート信号E生成後に第2ゲート信号Hを発生する動作を示す波形図である。第2図 (H) に示すように、ゲート生成回路18では、第1ゲート信号Eの立ち下がりから、レベル検出回路15の出力が2度目に“1”レベルとなり“0”レベルに立ち下がるまでの期間内、出力Hを“1”レベルに維持する。レベル検出回路15の出力が2度目に“1”レベルとなる位置は、第3ビット位置である。つまり、ゲート生成回路18は、第1ゲート信号Eの立ち下がりから第3ビットの終端までをパルス幅とする第2ゲート信号Hを発生する。この第2ゲート信号Hが判定回路20に与えられる。

第2図 (F) は、レベル検出回路16の動作を示す波形図である。バースト# 1は、基準電圧V0以下であるので、レベル検出回路16の出力は、“0”レベルである。バースト# 2では、第1ビットが基準電圧V1を超えているので、その第1ビットのタイミングで基準電圧V1を超えている時間幅をパルス幅とする検出パルス信号Fが判定回路19に出力される。

また、バースト#3では、第1ビットと第3ビットが基準電圧 V_1 を超えているので、その第1ビットと第3ビットのタイミングで基準電圧 V_1 を超えている時間幅をパルス幅とする検出パルス信号 F が判定回路19に出力される。

第2図(G)は、判定回路19とレベル保持回路22の動作を示す波形図である。バースト#1は、基準電圧 V_1 以下であるので、判定回路19は入力がない。バースト#1に対しては、TIA2は、本来の変換利得で増幅動作を行っている。

これに対し、バースト#2では、判定回路19には第1ゲート信号 E と検出パルス信号 F が入力される。判定回路19では、検出パルス信号 F が第1ゲート信号 E の時間幅内に入力された場合にのみ、SW制御信号をレベル保持回路22に出力する。レベル保持回路22は、入力されたSW制御信号をSW操作信号 G としてSW9のゲート電極に与えるとともに、判定回路21にも出力し、リセット信号(RESET)Cが入力されるまで保持し、SW9をON動作させ続ける。TIA2では、バースト#2に対しては、第1ビットにおいて、本来の変換利得から、帰還抵抗素子2bと抵抗素子6の並列抵抗値できまる小さい変換利得への切り替えが行われる。

バースト#3でも同様に、判定回路19とレベル保持回路22は動作し、SW9をON動作させ続けるが、バースト#3の第3ビットが基準電圧 V_2 を超えるので、並行して第2図(I)(J)に示す動作が行われる。

第2図(I)は、レベル検出回路17の動作を示す波形図である。バースト#1とバースト#2は、基準電圧 V_2 以下であるので、レベル検出回路17の出力は、“0”レベルである。

これに対し、バースト#3では、第1ビットと第3ビットが基準電圧 V_2 を超えているので、その第1ビットと第3ビットのタイミングで基準電圧 V_2 を超えている時間幅をパルス幅とする検出パルス信号 I が判定回路20の出力される。

第2図(J)は、判定回路20、レベル保持回路23および判定回路21の動作を示す波形図である。判定回路20では、検出パルス信号 I が第2ゲート信号 H の時間幅内に入力された場合にのみ、SW制御信号をレベル保持回路23に出

力する。つまり、第1ビット位置にて発生している検出パルス信号Iは第2ゲート信号Hの時間幅内にないので無効とされ、第3ビット位置にて発生している検出パルス信号Iが第2ゲート信号Hの時間幅内に在るので有効とされる。

レベル保持回路23は、入力されたSW制御信号を判定回路21に出力し、リ
5 セット信号(RESET)Cが入力されるまで保持する。判定回路21は、レベル保持回路23からSW制御信号が入力されると、SW操作信号Gが“1”レベルに保持されている場合に、レベル保持回路23から入力されたSW制御信号をSW操作信号JとしてSW10のゲート電極に与える。

その結果、TIA2では、バースト#3に対しては、第1ビット位置において、
10 本来の変換利得から、帰還抵抗素子2bと抵抗素子6の並列抵抗値できまる小さい変換利得への切り替えが行われるが、その後、第3ビット位置で、さらに抵抗素子7をも並列接続したさらに小さい変換利得への切り替えが行われる。

ここで、以上の動作説明を踏まえて、第7図に示したような第1バーストや第2バーストに対するこの実施の形態による動作を考える。第1バーストに対して
15 は、第1ビットにおいて基準電圧V1を超えることがあれば、第1ゲート信号Eによって確実に捕捉できるので、第1ビット位置からTIA2の利得切り替えが行える。一方、第1ビット以降で基準電圧V1を超えることがあっても、第1ゲート信号Eは発生しないので、第1バーストの途中からTIA2の利得切り替えが行われることはない。

20 また、第2バーストに対しては、実線64で示す波形の信号である場合に、第1ビットの位置で、基準電圧V1と基準電圧V2とを超えるので、検出パルス信号Fと検出パルス信号Iとが発生するが、第1ゲート信号Eのみが発生し、第2ゲート信号Hは発生しないので、第1ビット位置からSW9のみによるTIA2の利得切り替えが行われ、誤ってSW10もON動作するようなことはない。

25 この実施の形態では、バースト信号波形が、第7図に示したように、リンギングや振幅の揺らぎ、信号サグなど各種の歪みを有する点を考慮して、基準電圧V0と基準電圧V1の間隔は、比較的大きくしてある。これによって、信号波形に

歪みがある場合でも、ある程度のレベルまではSW9による利得切り替えを実施しないようにする、つまり、不要な利得切り替えが頻発しないようにすることができる。

次に、第3図に沿って第1図を参照しつつ一般的な動作について説明する。なお、第3図において、SW1は、SW9を意味し、SW2は、SW10を意味している。S1では、バースト信号の先頭でリセット信号(RESET)の受け付けが行われる。すなわち、リセット信号(RESET)が入力されると、ゲート生成回路18とレベル保持回路22、23がリセットされ、SW1、SW2がOFF状態になり、TIA2が本来の変換利得に戻される。

この状態で光バースト信号が受光素子1に入力されると、TIA2の出力レベルがレベル検出回路15、16、17にてそれぞれの閾値(V0、V1、V2)を越えるか否かが検出される(ステップS2)。基準電圧V0を超えない場合(ステップS3:No)や基準電圧V1を超えない場合(ステップS4:No)、基準電圧V2を超えない場合(ステップS5:No)には、SW1、SW2に対する制御は行われない。

基準電圧V0を超える場合には(ステップS3:Yes)、リセット信号(RESET)の立ち下がりから第1ビット位置の終端までをパルス幅とする第1ゲート信号が生成され(ステップS31)、さらに第1ゲート信号の立ち下がりから第3ビット位置の終端までをパルス幅とする第2ゲート信号が生成される(ステップS32)。

基準電圧V1を超える場合には(ステップS4:Yes)、その超えたタイミングが、ステップS31にて生成された第1ゲート信号のタイミングと一致するか否かが判断される(ステップS41)。一致する場合には(ステップS41:Yes)、SW1をON動作させ、その状態を保持する(ステップS42)。一方、一致しない場合には(ステップS41:No)、SW1をON操作することなく、制御動作を終了する。これによって、特定のビット位置(第1ビット位置)でのみ利得の切り替えが行われ、バースト信号内の任意のビット位置で利得の

切り替えが行われるのが防止される。

基準電圧 V_2 を超える場合には（ステップ S_5 : Yes）、その超えたタイミングが、ステップ S_{32} にて生成された第2ゲート信号のタイミングと一致するか否かが判断される（ステップ S_{51} ）。一致しない場合は（ステップ S_{51} : No）は、SW2をON操作することなく、制御動作を終了するが、一致する場合には（ステップ S_{51} ; Yes）、ステップ S_{42} にてSW1がON動作状態になっているか否かが判断され（ステップ S_{52} ）、SW1がON動作状態になっている場合に（ステップ S_{52} ; Yes）他の特定のビット位置（第3ビット位置）でSW2をON動作させ、その状態を保持する（ステップ S_{53} ）。一方、SW1がON動作状態になっていない場合には（ステップ S_{52} ; No）、SW2をON操作することなく、制御動作を終了する。

これによって、先行するSW1を操作すべき特定のビット位置（第1ビット位置）でSW1の操作が行われたが、本来はSW2も操作すべきである場合に他の特定のビット位置（第3ビット位置）で確実にSW1とSW2の双方を操作して適切な変換利得に設定できる。また、先行するSW1を操作すべき特定のビット位置（第1ビット位置）でSW1の操作が行われていない場合には、SW2を操作すべき要因が発生してもSW2の操作は行われないので、誤った変換利得に設定するのが防止される。

そして、TIAでは、帰還抵抗素子に並列に設けたSW1とSW2によって受信バースト毎に帰還抵抗値を切り替えた場合、切り替えによって帰還抵抗値を減少させると、高域遮断周波数が大きくなるため位相余裕が小さくなり、回路が発振し易くなるという問題がある。これは、SW1とSW2の操作と並行してTIAのオープン利得を減少させる方法で回避できることが知られている。以上説明したSW1とSW2を操作する制御信号は、同時にTIAのオープン利得を減少させる制御信号にもなることは言うまでもない。

なお、抵抗素子5とダイオード8による直列回路が設けられている場合でも、以上説明した動作は支障無く行えることは言うまでもない。また、バースト信号

のビットパターンは、“1 0 1 0”の形式で説明したが、“1”の後に“0”が来るパターンであれば、この発明は、適用できる。例えば、“1 1 0 1 1 0”や“1 1 0 0 1 1 0 0”、“1 1 1 0 1 1 1 0”などのビットパターンが該当する。また、入力される各バースト信号の振幅は、説明の便宜から順々に増大する場合を示したが、順不動であっても同様に動作することは言うまでもない。

さらに、この実施の形態では、特定のビット位置として、第1ビット位置と第3ビット位置を例に挙げたが、採用される上記のビットパターンやバースト信号の特性などに応じて定めることができる。加えて、光通信システムの光受信装置に用いられる前置増幅器への適用を念頭に説明したが、光信号の測定器、モニタなどの光受信部に用いられる前置増幅器にも同様に適用できることは勿論である。

そして、この実施の形態では、二つのスイッチング素子がある場合を説明したが、この発明は、これに限定されるものではなく、スイッチング素子と抵抗素子による直列回路は、一つの場合でもよく、さらに3以上の任意数設けることができる。すなわち、3以上の任意数設ける場合の利得切り替え回路3は、3番目以降の直列回路におけるスイッチング素子に対して、 i 番目 ($3 \leq i \leq N$) の直列回路のスイッチング素子を閉路操作すべき状況が発生したときは、前記 i 番目の直列回路以前の全ての直列回路のスイッチング素子が閉路していることを条件に該当する特定のビット位置で前記 i 番目の直列回路のスイッチング素子を閉路操作するように構成すればよい。

以上説明したように、この発明によれば、利得切り替え回路では、帰還抵抗素子と並列に、第1抵抗素子と第1スイッチング素子による直列回路、および第2抵抗素子と第2スイッチング素子による直列回路がそれぞれ接続され、バースト状の光信号を電気信号に変換する受光素子の出力電流を増幅し電圧信号を出力する前置増幅器の出力を受けて、特定のビット位置で前記第1スイッチング素子が閉路操作され、その後、前記第2スイッチング素子を閉路操作すべき状況が発生したときは、前記第1スイッチング素子が閉路動作をしていることを条件に他の特定のビット位置で前記第2スイッチング素子が閉路操作される。したがって、

バースト信号の特定のビット位置で確実に変換利得の切り替えが実施でき、バースト信号内の任意のビット位置での変換利得の切り替えが起こるのを確実に防止することができる。また、第2スイッチング素子を閉路操作すべき状況が発生したときは、先行して操作される第1スイッチング素子が操作されたことを条件に、
5 第2スイッチング素子を閉路操作するので、適切な変換利得の設定が行えるだけでなく、誤った変換利得の設定が行われるのを防止することができる。

つぎの発明によれば、上記の発明において、前記前置増幅器には、前記帰還抵抗素子と並列に、さらに、第3抵抗素子とダイオードによる直列回路が接続されている。したがって、前置増幅器の入力振幅の大きさに応じて変換利得の切り替
10 えが自動的に実施される。

つぎの発明によれば、上記の発明において、利得切り替え回路では、前記前置増幅器の出力レベルが第1基準電圧を超える場合において、まずゲート信号発生手段にて、特定のビット位置で第1ゲート信号が発生され、その後、前記他の特定のビット位置で第2ゲート信号が発生される。その結果、第1操作手段にて、
15 前記前置増幅器の出力レベルが前記第1基準電圧よりも大きい第2基準電圧を超える場合において、前記第2基準電圧を超えときのタイミングが前記第1ゲート信号の発生時間幅内であるとき前記第1スイッチング素子が閉路操作される。
また、第2操作手段にて、前記前置増幅器の出力レベルが前記第2基準電圧よりも大きい第3基準電圧を超える場合において、前記第3基準電圧を超えときの
20 タイミングが前記第2ゲート信号の発生時間幅内であり、かつ前記第1スイッチング素子が閉路操作されているときに前記第2スイッチング素子が閉路操作される。
したがって、第1ゲート信号にて規定される特定のビット位置で確実に変換利得の切り替えが実施でき、バースト信号内の任意のビット位置での変換利得の切り替えが起こるのを確実に防止することができる。また、第2スイッチング素子を閉路操作すべき状況が発生したときは、先行して操作される第1スイッチ
25 グ素子が操作されたことを条件に、第2ゲート信号にて規定される特定のビット位置において第2スイッチング素子を閉路操作するので、適切な変換利得の設定

が行えるだけでなく、誤った変換利得の設定が行われるのを防止することができる。

つぎの発明によれば、上記の発明において、前置増幅器の出力は、第1～第3のレベル検出回路にそれぞれ入力される。第1レベル検出回路で、前置増幅器の出力レベルが第1基準電圧を超える期間内パルス信号が出力されと、ゲート信号生成回路にて、外部から入力されるリセット信号の立ち下がりから特定のビット位置に対応する第1レベル検出回路の出力パルス信号の立ち下がりまでの期間をパルス幅とする第1ゲート信号、および第1ゲート信号の立ち下がりから他の特定のビット位置に対応する第1レベル検出回路の出力パルス信号の立ち下がりまでの期間をパルス幅とする第2ゲート信号がそれぞれ生成される。第2レベル検出回路にて、前置増幅器の出力レベルが前記第1基準電圧よりも大きい第2基準電圧を超える期間内パルス信号が出力されると、第1判定回路にて、第2レベル検出回路の出力パルス信号が前記第1ゲート信号のパルス幅内で入力するとき第1判定信号が出力される。その結果、第1保持回路にて、この第1判定信号が前記リセット信号が入力するまでの期間内保持され、第1スイッチング素子が閉路動作され、第1ゲート信号にて規定される特定のビット位置において前置増幅器の変換利得の切り替えが実施される。また、第3レベル検出回路にて、前置増幅器の出力レベルが前記第2基準電圧よりも大きい第3基準電圧を超える期間内パルス信号が出力されると、第2判定回路にて、第3レベル検出回路の出力パルス信号が前記第2ゲート信号のパルス幅内で入力するとき第2判定信号が出力され、第2保持回路にてこの第2判定信号が前記リセット信号が入力するまでの期間内保持される。そして、第3判定回路にて、前記第1保持回路が前記第1判定信号を保持出力している場合に前記第2保持回路が前記第2判定信号を保持出力したとき、前記第2保持回路の出力に従って第2スイッチング素子を閉路動作させる。その結果、第2ゲート信号にて規定される特定のビット位置において、第1スイッチング素子と第1スイッチング素子が共に閉路動作した新たな変換利得への切り替えが実施される。

つぎの発明によれば、上記の発明において、第1基準電圧は、前置増幅器の出力信号に現れる波形歪みのレベルを考慮し第2基準電圧との間に比較的大きい電圧差を持つように設定されている。その結果、不要な変換利得切り替えが頻発するのを防止することができる。

- 5 つぎの発明によれば、上記の発明において、前置増幅器の帰還抵抗素子には、さらに、抵抗素子とスイッチング素子による直列回路の N 個 ($N \geq 3$) がそれぞれ並列に接続されている場合に、利得切り替え回路では、前置増幅器の出力を受けて、その後、 i 番目 ($3 \leq i \leq N$) の直列回路のスイッチング素子を閉路操作すべき状況が発生したときは、前記 i 番目の直列回路以前の全ての直列回路のスイッチング素子が閉路動作をしていることを条件に該当する特定のビット位置で
10 前記 i 番目の直列回路のスイッチング素子が閉路操作される。その結果、一層、的確な変換利得切り替えの制御が行えるようになる。

- つぎの発明によれば、帰還抵抗素子と並列に、第1抵抗素子と第1スイッチング素子による直列回路、および第2抵抗素子と第2スイッチング素子による直列回路がそれぞれ接続され、バースト状の光信号を電気信号に変換する受光素子の
15 出力電流を増幅し電圧信号を出力する前置増幅器の出力を受けて、特定のビット位置で前記第1スイッチング素子が閉路操作され、その後、前記第2スイッチング素子を閉路操作すべき状況が発生したときは、前記第1スイッチング素子が閉路動作をしていることを条件に他の特定のビット位置で前記第2スイッチング素子が閉路操作される。したがって、バースト信号の特定のビット位置で確実に変換利得の切り替えが実施でき、バースト信号内の任意のビット位置での変換利得の切り替えが起こるのを確実に防止することができる。また、第2スイッチング素子を閉路操作すべき状況が発生したときは、先行して操作される第1スイッチング素子が操作されたことを条件に、第2スイッチング素子を閉路操作するので、
20 適切な変換利得の設定が行えるだけでなく、誤った変換利得の設定が行われるのを防止することができる。

つぎの発明によれば、上記の発明において、前置増幅器の帰還抵抗素子には、

- さらに、抵抗素子とスイッチング素子による直列回路の N 個 ($N \geq 3$) がそれぞれ並列に接続されている場合に、前置増幅器の出力を受けて、その後、 i 番目 ($3 \leq i \leq N$) の直列回路のスイッチング素子を閉路操作すべき状況が発生したときは、前記 i 番目の直列回路以前の全ての直列回路のスイッチング素子が閉路動作をしていることを条件に該当する特定のビット位置で前記 i 番目の直列回路の
- 5 スwitchング素子が閉路操作される。その結果、一層、的確な変換利得切り替えの制御が行えるようになる。

産業上の利用可能性

- 10 以上のように、本発明にかかる前置増幅器の利得切り替え回路および方法は、光通信システムの光受信装置や、光信号の測定器、モニタなどの光受信部に用いられる前置増幅器に適している。

請 求 の 範 囲

1. バースト状の光信号を電気信号に変換する受光素子の出力電流を増幅し電圧信号を出力する前置増幅器であって、帰還抵抗素子と並列に、第1抵抗素子と第1スイッチング素子による直列回路、および第2抵抗素子と第2スイッチング素子による直列回路がそれぞれ接続される前置増幅器の変換利得を切り替える利得切り替え回路は、

前記前置増幅器の出力を受けて、特定のビット位置で前記第1スイッチング素子を閉路操作し、その後、前記第2スイッチング素子を閉路操作すべき状況が発生したときは、前記第1スイッチング素子が閉路動作をしていることを条件に他の特定のビット位置で前記第2スイッチング素子を閉路操作する構成、
を備えたことを特徴とする前置増幅器の利得切り替え回路。

2. 前記前置増幅器は、前記帰還抵抗素子と並列に、第3抵抗素子とダイオードによる直列回路が接続されていることを特徴とする請求の範囲第1項に記載の前置増幅器の利得切り替え回路。

3. 前記利得切り替え回路は、

前記前置増幅器の出力レベルが第1基準電圧を超える場合において、前記特定のビット位置で第1ゲート信号を発生し、その後、前記他の特定のビット位置で第2ゲート信号を発生するゲート信号発生手段と、

前記前置増幅器の出力レベルが前記第1基準電圧よりも大きい第2基準電圧を超える場合において、前記第2基準電圧を超えるときのタイミングが前記第1ゲート信号の発生時間幅内であるとき前記第1スイッチング素子を閉路操作する第1操作手段と、

前記前置増幅器の出力レベルが前記第2基準電圧よりも大きい第3基準電圧を超える場合において、前記第3基準電圧を超えるときのタイミングが前記第2ゲ

ート信号の発生時間幅内であり、かつ前記第1スイッチング素子が閉路操作されているときに前記第2スイッチング素子を閉路操作する第2操作手段と、

を備えたことを特徴とする請求の範囲第1項に記載の前置増幅器の利得切り替え回路。

5

4. 前記第1基準電圧は、前記前置増幅器の出力信号に現れる波形歪みのレベルを考慮し前記第2基準電圧との間に比較的大きい電圧差を持つように設定されることを特徴とする請求の範囲第3項に記載の前置増幅器の利得切り替え回路。

10

5. 前記利得切り替え回路は、

前記前置増幅器の出力レベルが第1基準電圧を超える期間内パルス信号を出力する第1レベル検出回路と、

前記前置増幅器の出力レベルが前記第1基準電圧よりも大きい第2基準電圧を超える期間内パルス信号を出力する第2レベル検出回路と、

15

前記前置増幅器の出力レベルが前記第2基準電圧よりも大きい第3基準電圧を超える期間内パルス信号を出力する第3レベル検出回路と、

外部から入力されるリセット信号の立ち下がりから前記特定のビット位置に対応する前記第1レベル検出回路の出力パルス信号の立ち下がりまでの期間をパルス幅とする第1ゲート信号、および前記第1ゲート信号の立ち下がりから前記他の特定のビット位置に対応する前記第1レベル検出回路の出力パルス信号の立ち下がりまでの期間をパルス幅とする第2ゲート信号をそれぞれ生成するゲート信号生成回路と、

20

前記第2レベル検出回路の出力パルス信号が前記第1ゲート信号のパルス幅内で入力するとき第1判定信号を出力する第1判定回路と、

25

前記第1判定信号を前記リセット信号が入力するまでの期間内保持し、前記第1スイッチング素子を閉路動作させる第1保持回路と、

前記第3レベル検出回路の出力パルス信号が前記第2ゲート信号のパルス幅内

で入力するとき第2判定信号を出力する第2判定回路と、

前記第2判定信号を前記リセット信号が入力するまでの期間内保持する第2保持回路と、

5 前記第1保持回路が前記第1判定信号を保持出力している場合に前記第2保持回路が前記第2判定信号を保持出力したとき、前記第2保持回路の出力に従って前記第2スイッチング素子を閉路動作させる第3判定回路と、

を備えたことを特徴とする請求の範囲第1項に記載の前置増幅器の利得切り替え回路。

10 6. 前記第1基準電圧は、前記前置増幅器の出力信号に現れる波形歪みのレベルを考慮し前記第2基準電圧との間に比較的大きい電圧差を持つように設定されることを特徴とする請求の範囲第5項に記載の前置増幅器の利得切り替え回路。

7. 前記前置増幅器の帰還抵抗素子には、さらに、抵抗素子とスイッチング素子による直列回路の N 個 ($N \geq 3$) がそれぞれ並列に接続され、

前記利得切り替え回路は、

前記前置増幅器の出力を受けて、その後、 i 番目 ($3 \leq i \leq N$) の直列回路のスイッチング素子を閉路操作すべき状況が発生したときは、前記 i 番目の直列回路以前の全ての直列回路のスイッチング素子が閉路動作をしていることを条件に
20 該当する特定のビット位置で前記 i 番目の直列回路のスイッチング素子を閉路操作する、

ことを特徴とする請求の範囲第1項に記載の前置増幅器の利得切り替え回路。

8. バースト状の光信号を電気信号に変換する受光素子の出力電流を増幅し電圧信号を出力する前置増幅器の帰還抵抗素子と並列に、第1抵抗素子と第1スイッチング素子による直列回路、および第2抵抗素子と第2スイッチング素子による直列回路をそれぞれ接続し、前記第1スイッチング素子と前記第2スイッチン
25

グ素子を閉路操作また閉路操作して前記前置増幅器の変換利得を切り替える利得切り替え方法であって、

- 5 前記前置増幅器の出力を受けて、特定のビット位置で前記第1スイッチング素子を閉路操作し、その後、前記第2スイッチング素子を閉路操作すべき状況が発生したときは、前記第1スイッチング素子が閉路動作をしていることを条件に他の特定のビット位置で前記第2スイッチング素子を閉路操作する工程、
- を含むことを特徴とする前置増幅器の利得切り替え方法。

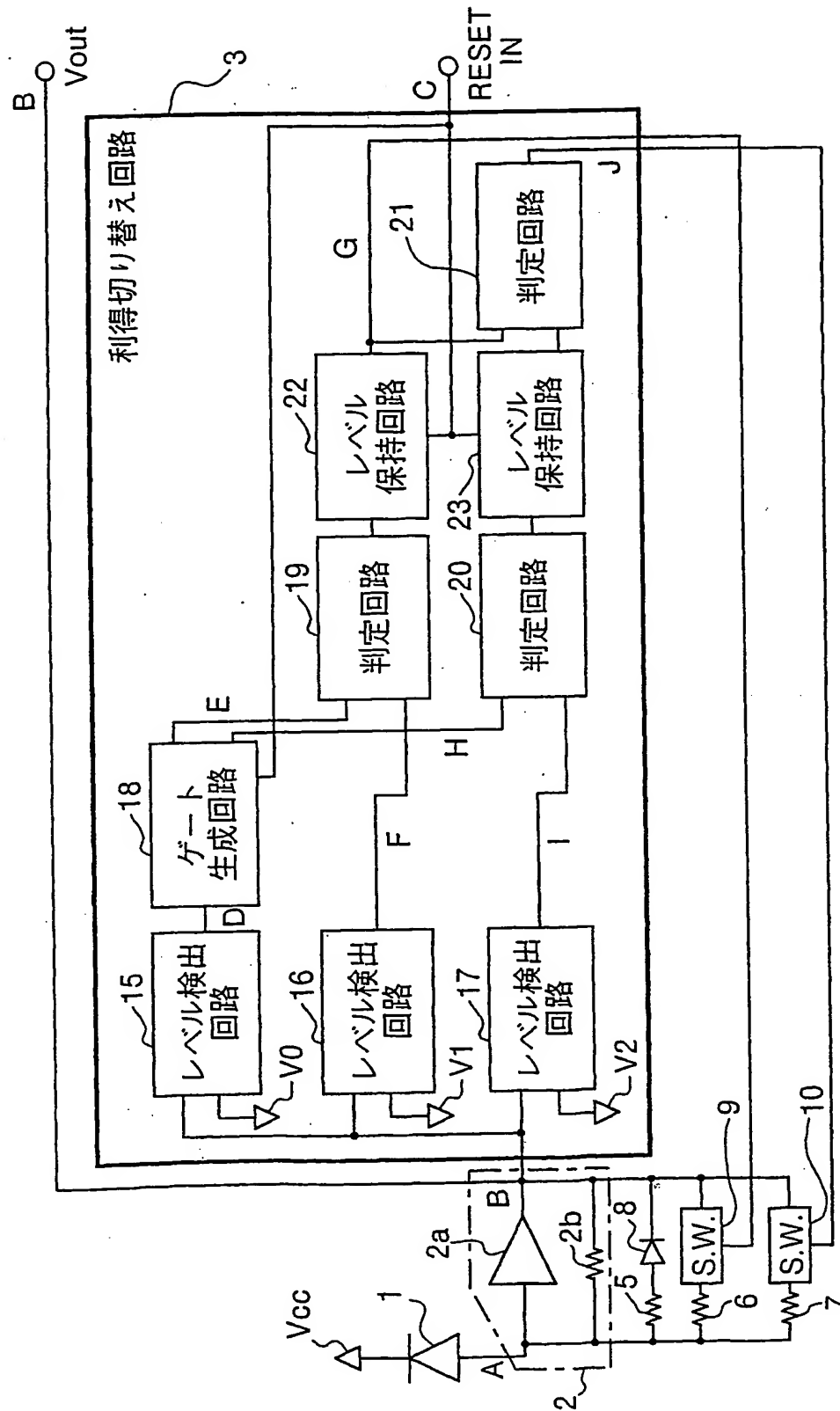
9. 前記前置増幅器の帰還抵抗素子には、さらに、抵抗素子とスイッチング素子による直列回路の N 個 ($N \geq 3$) がそれぞれ並列に接続されている場合に、
- 10

- 前記前置増幅器の出力を受けて、その後、 i 番目 ($3 \leq i \leq N$) の直列回路のスイッチング素子を閉路操作すべき状況が発生したときは、前記 i 番目の直列回路以前の全ての直列回路のスイッチング素子が閉路動作をしていることを条件に該当する特定のビット位置で前記 i 番目の直列回路のスイッチング素子を閉路操作する工程、
- 15

を含むことを特徴とする請求の範囲第8項に記載の前置増幅器の利得切り替え方法。

THIS PAGE BLANK (USPTO)

第1図

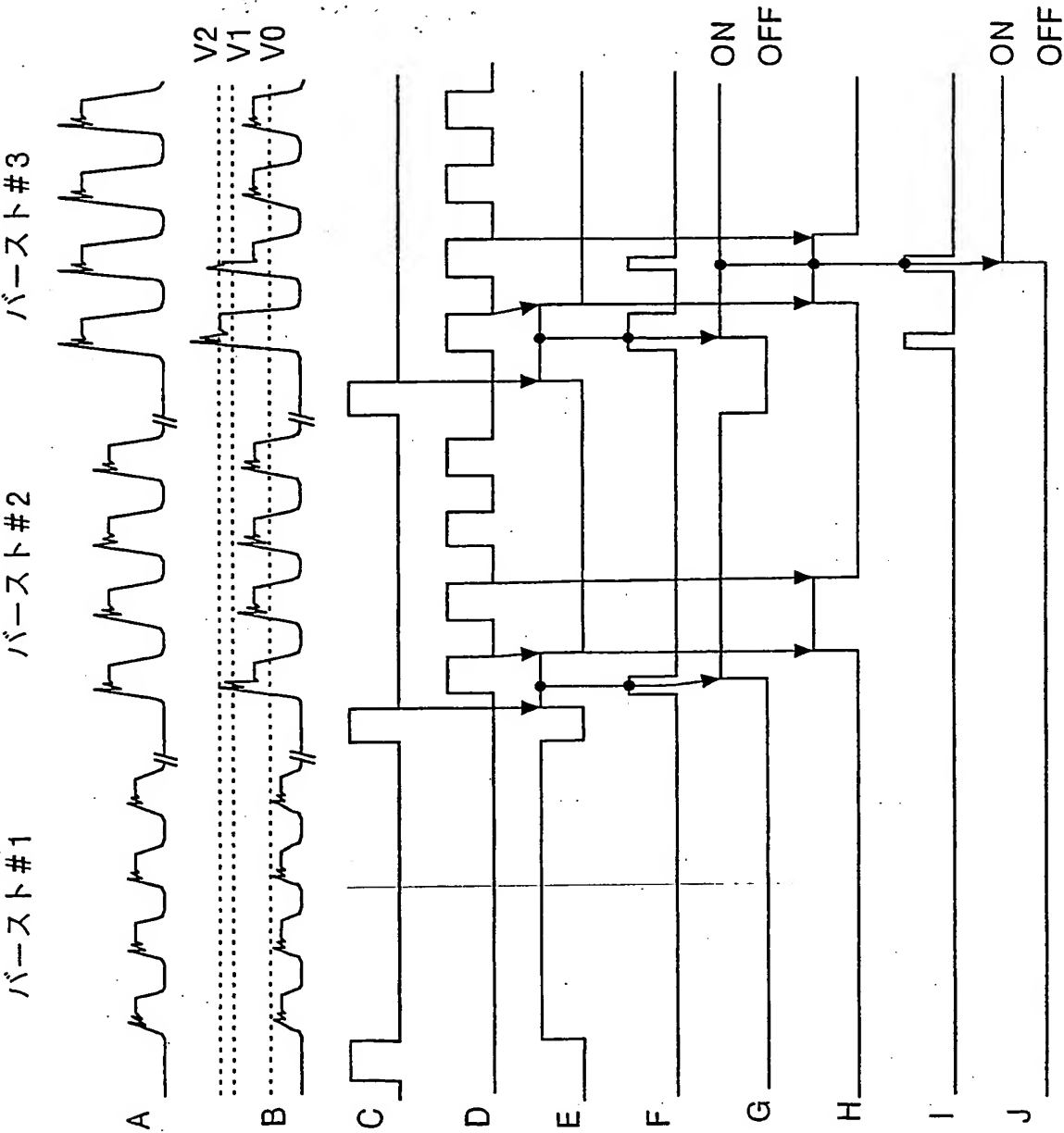


THIS PAGE BLANK (USPTO)

()

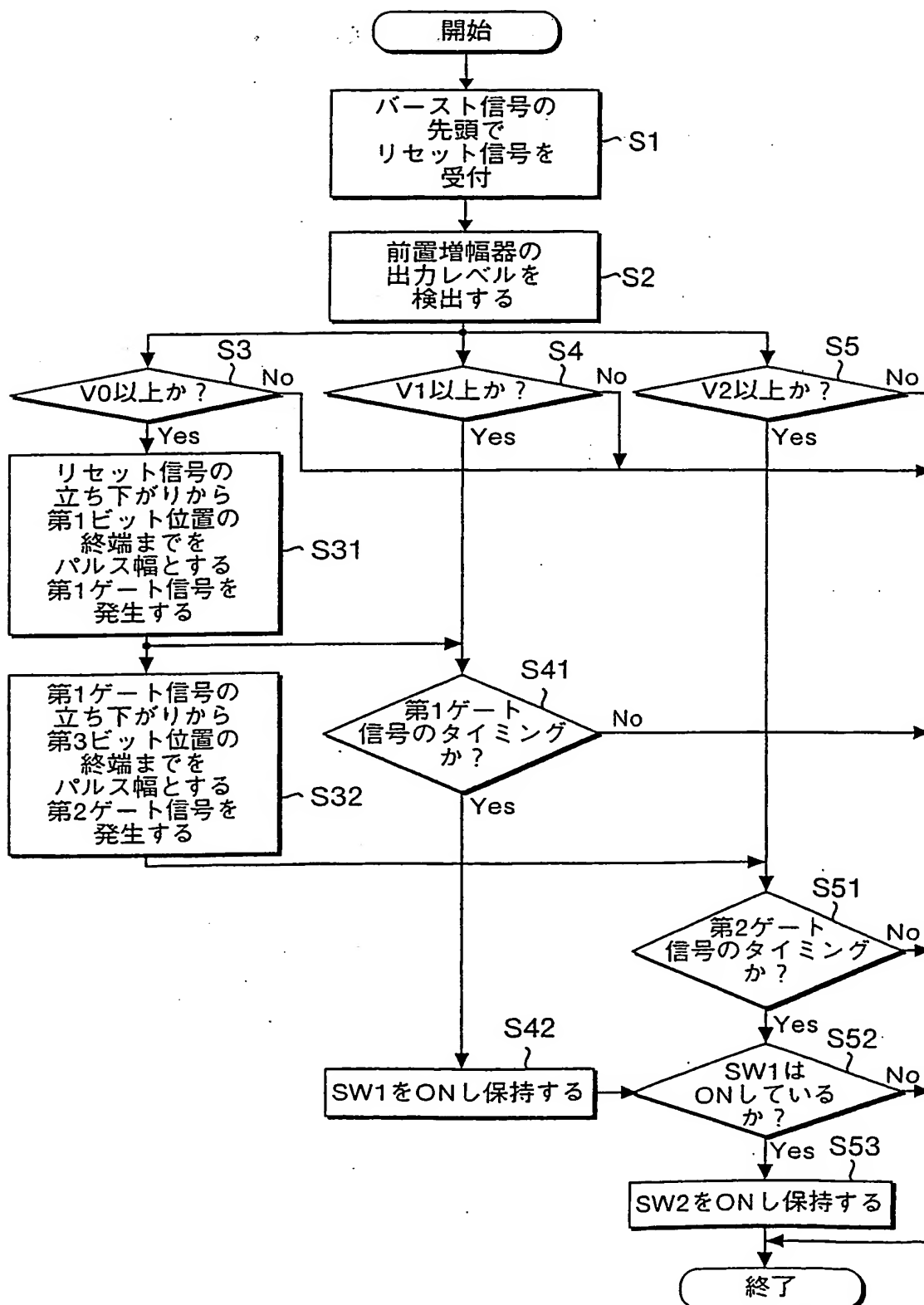
()

第2図



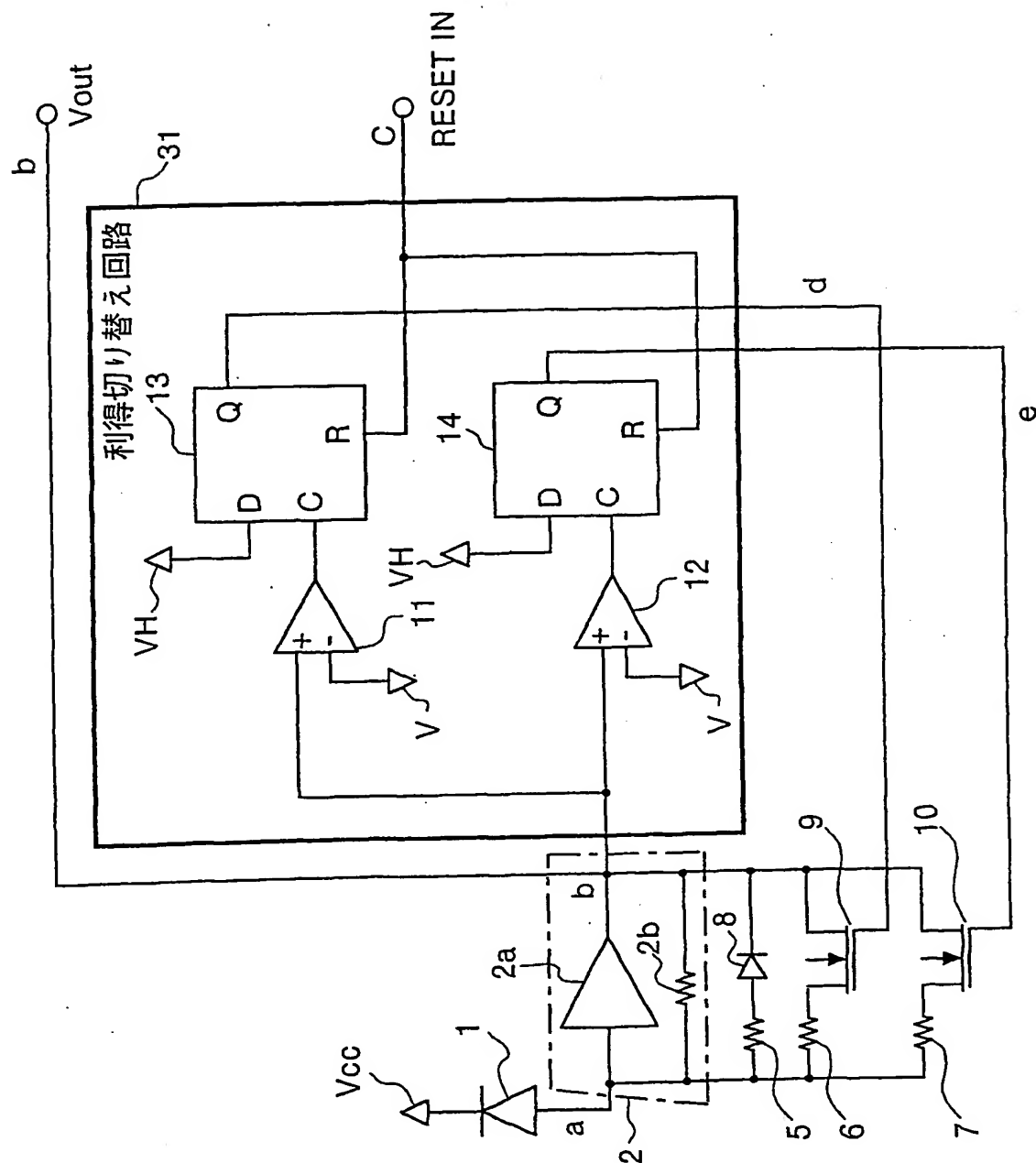
THIS PAGE BLANK (USPTO)

第3図



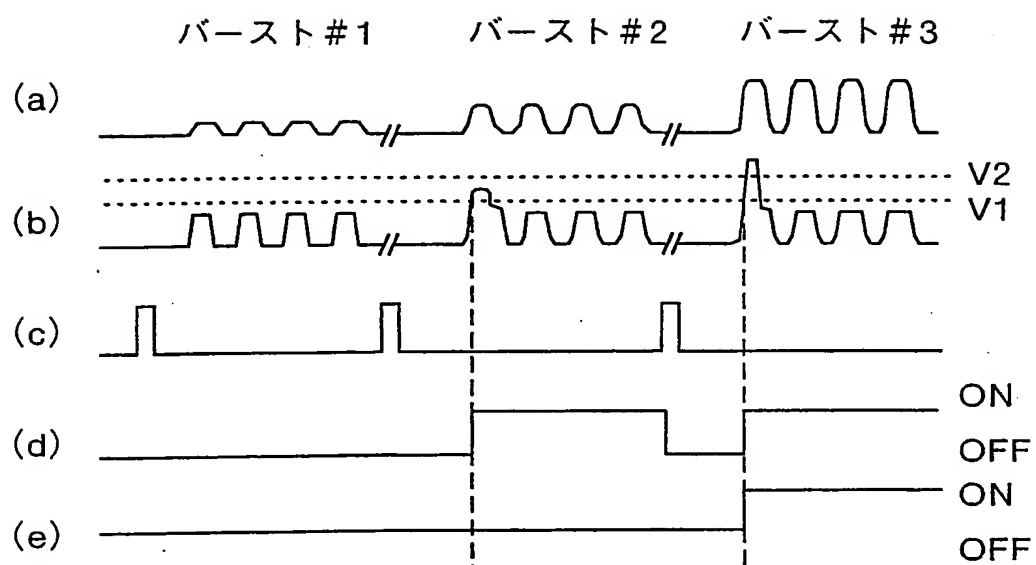
THIS PAGE BLANK (USPTO)

第4図



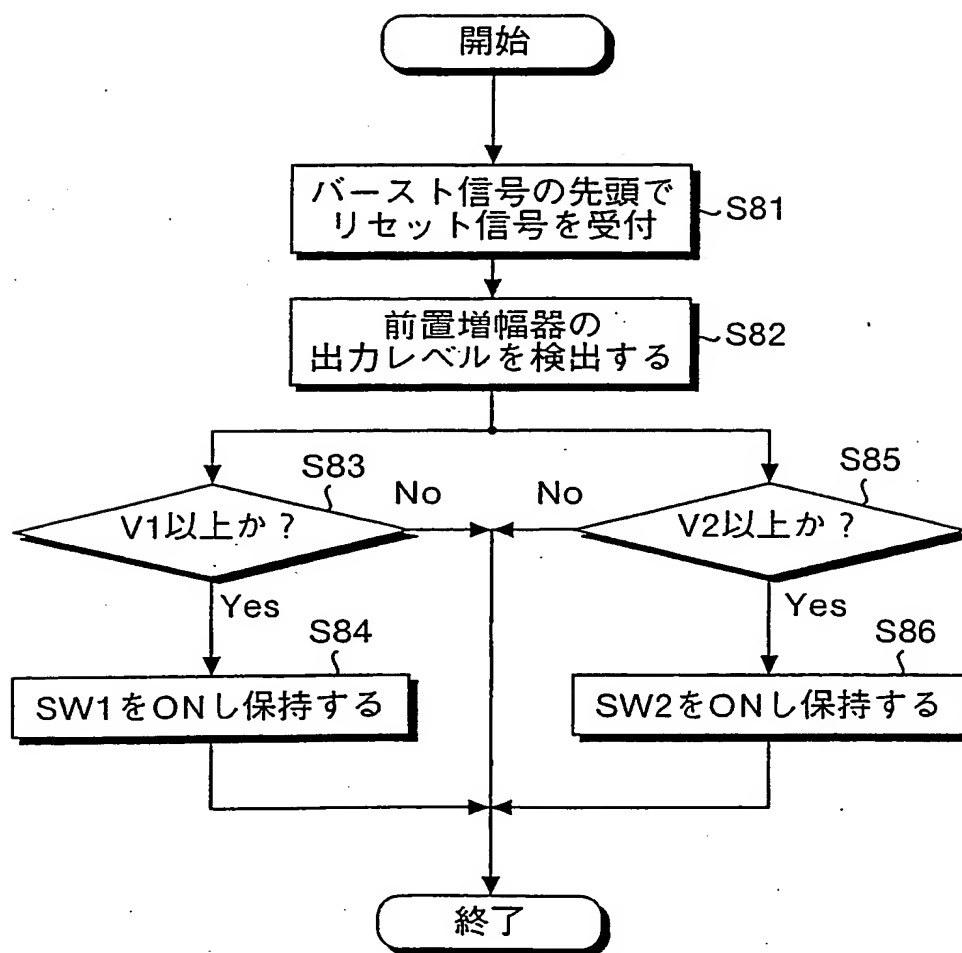
THIS PAGE BLANK (USPTO)

第 5 図



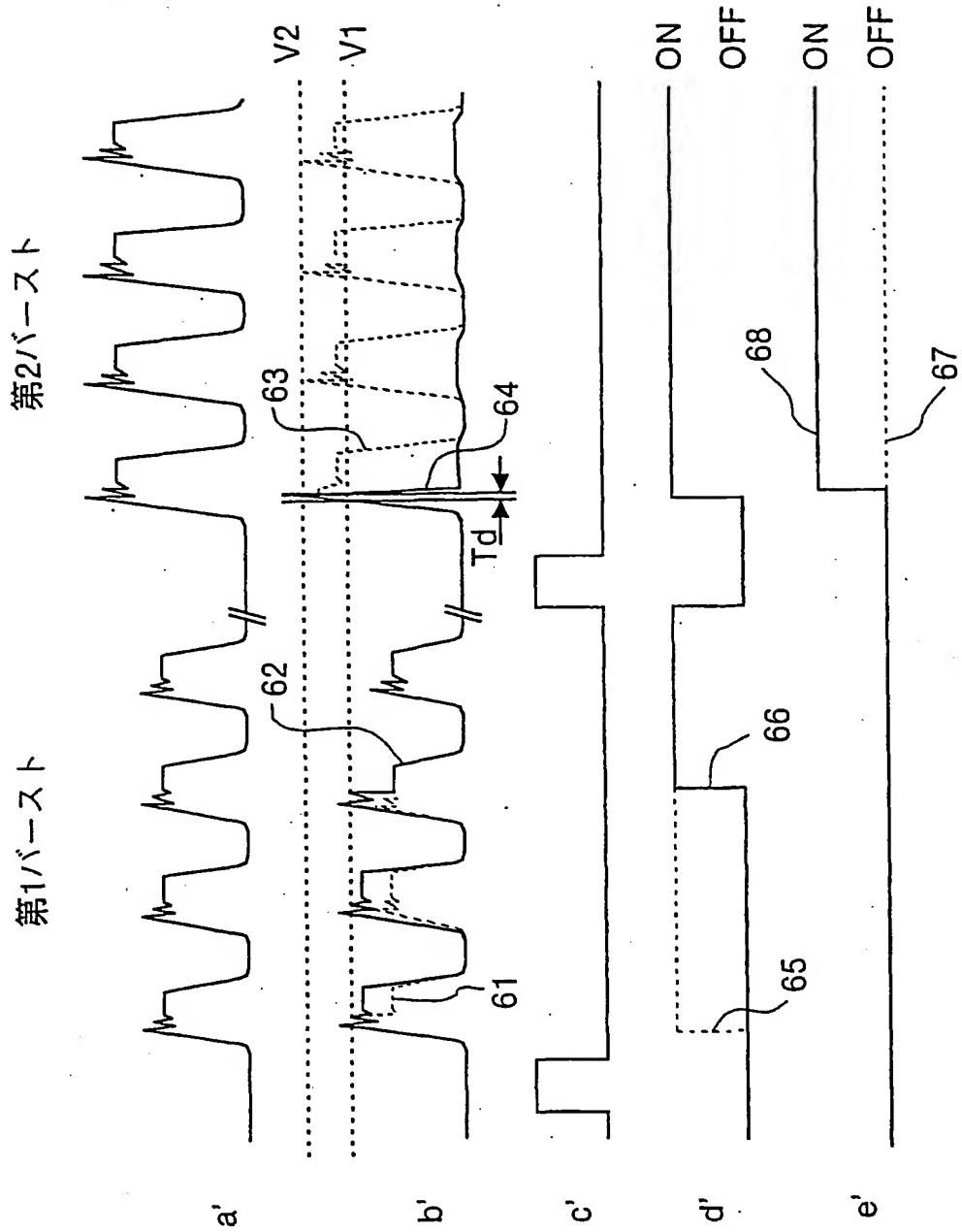
THIS PAGE BLANK (USP10)

第6図



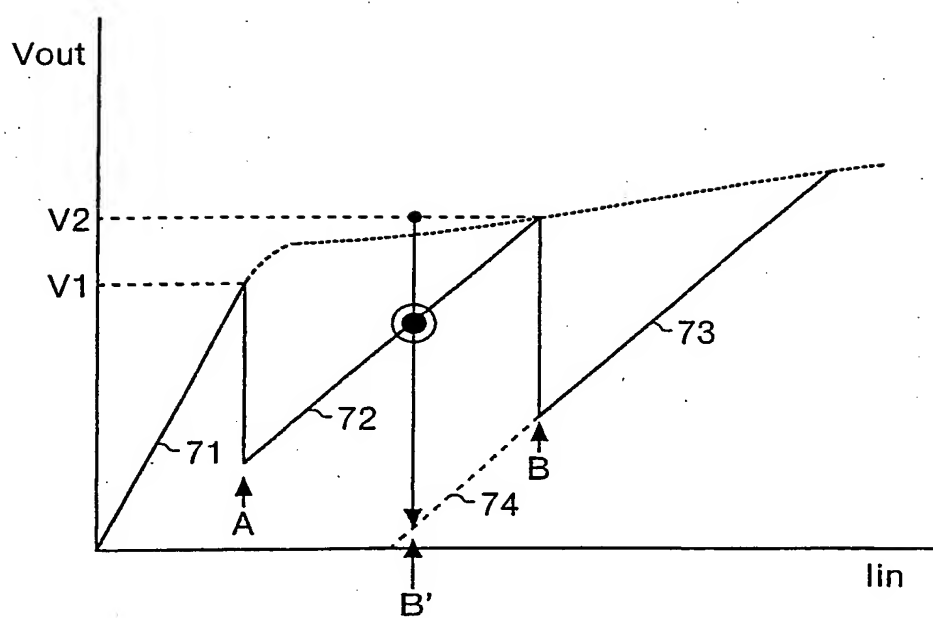
THIS PAGE BLANK (USPTO)

第7図



THIS PAGE BLANK (USPTO)

第 8 図



THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/12684

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03G3/30, H03F3/08, H04B10/06

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03G3/30, H03F3/08, H04B10/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-196877 A (Mitsubishi Electric Corp.), 19 July, 2001 (19.07.01), Full text; Figs. 1 to 12 (Family: none)	1-9
A	JP 2001-144552 A (NEC Corp.), 25 May, 2001 (25.05.01), Full text; Figs. 1 to 11 (Family: none)	1-9
A	JP 2000-315923 A (NEC Corp.), 14 November, 2000 (14.11.00), Full text; Figs. 1 to 7 (Family: none)	1-9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
04 March, 2003 (04.03.03)

Date of mailing of the international search report
18 March, 2003 (18.03.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int. Cl. H03G3/30 H03F3/08 H04B10/06

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
 Int. Cl. H03G3/30 H03F3/08 H04B10/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2003年
 日本国登録実用新案公報 1994-2003年
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-196877 A (三菱電機株式会社) 2001.07.19 全文, 図1-図12 (ファミリーなし)	1-9
A	JP 2001-144552 A (日本電気株式会社) 2001.05.25 全文, 図1-図11 (ファミリーなし)	1-9

☒ C欄の続きにも文献が列举されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日 04.03.03

国際調査報告の発送日 18.03.03

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

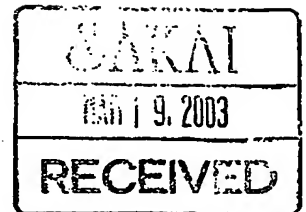
特許庁審査官 (権限のある職員)
 畑中 博幸 (印)
 電話番号 03-3581-1101 内線 3574

C (続き) 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-315923 A (日本電気株式会社) 2000. 11. 14 全文, 図1-図7 (ファミリーなし)	1-9

特 許 協 力 条 約

発信人 日本国特許庁（国際調査機関）



出願人代理人 酒井 宏明 股 あて名 〒 100-0013 東京都千代田区霞が関3丁目2番6号 東京倶楽部ビルディング 酒井国際特許事務所		PCT 国際調査報告又は国際調査報告を作成しない旨 の決定の送付の通知書 （法施行規則第41条） 【PCT規則44.1】
出願人又は代理人 の書類記号 537687WO01		発送日 （日・月・年） 18.03.03
国際出願番号 PCT/JPO2/12684		国際出願日 （日・月・年） 03.12.02
出願人（氏名又は名称） 三菱電機株式会社		

- ☒ 国際調査報告が作成されたこと、及びこの送付書とともに送付することを、出願人に通知する。
 PCT19条の規定に基づく補正書及び説明書の提出
 出願人は、国際出願の請求の範囲を補正することができる（PCT規則46参照）。
 いつ 補正書の提出期間は、通常国際調査報告の送付の日から2月である。
 どこへ 直接次の場所へ
 The International Bureau of WIPO
 34, chemin des Colombettes
 1211 Geneva 20, Switzerland
 Facsimile No.: (41-22) 740.14.35
 詳細な手続については、添付用紙の備考を参照すること。
- ☐ 国際調査報告が作成されないこと、及び法第8条第2項（PCT17条(2)(a)）の規定による国際調査報告を作成しない旨の決定をこの送付書とともに送付することを、出願人に通知する。
- ☐ 法施行規則第44条（PCT規則40.2）に規定する追加手数料の納付に対する異議の申立てに関して、出願人に下記の点を通知する。
☐ 異議の申立てと当該異議についての決定を、その異議の申し立てと当該異議についての決定の両方を指定官庁へ送付することを求める出願人の請求とともに、国際事務局へ送付した。
☐ 当該異議についての決定は、まだ行われていない。決定されしだい出願人に通知する。
- 今後の手続： 出願人は次の点に注意すること。
 優先日から18ヶ月経過後、国際出願は国際事務局によりすみやかに国際公開される。出願人が公開の延期を望むときは、国際出願又は優先権の主張の取下げの通知がPCT規則90の2.1及び90の2.3にそれぞれ規定されているように、国際公開の事務的な準備が完了する前に国際事務局に到達しなければならない。
 いくつかの指定官庁については、出願人が国内段階の開始を優先日から30月まで（官庁によってはさらに遅くまで）延期することを望むときは、優先日から19月以内に、国際予備審査の請求書が提出されなければならない。そうでなければ、出願人はそれらの指定官庁に対して優先日から20月以内に、国内段階の開始のための所定の手続を取らなければならない。
 その他の指定官庁については、19月以内に国際予備審査の請求書が提出されない場合にも、30月の（あるいはさらに遅い）期限が適用される。
 様式PCT/IB/301の付属書類を参照。個々の指定官庁で適用される期限の詳細については、PCT出願人の手引、第II巻、国内段階およびWIPOインターネットサイトを参照。

名称及びあて名 日本国特許庁（ISA/JP） 郵便番号100-8915 東京都千代田区霞が関3丁目4番3号	権限のある職員 特 許 庁 長 官 電話番号 03-3581-1101 内線 3574	5W 9180
--	---	---------

THIS PAGE BLANK (USPTO)

注 意

1. 国際調査報告の発送日から起算する条約第19条(1)及び規則46.1に従う国際事務局への補正期間に注意してください。
2. 条約22条(2)に規定する期間に注意してください。
3. 文献の写しの請求について

国際調査報告に記載した文献の複写

特許庁にこれらの引用文献の写しを請求することもできますが、独立行政法人工業所有権総合情報館(特許庁庁舎2階)で公報類の閲覧・複写および公報以外の文献複写等の取り扱いをしています。

〔担当及び照会先〕

〒100-0013 東京都千代田区霞が関3丁目4番3号(特許庁庁舎2階)

独立行政法人工業所有権総合情報館

【公報類】 閲覧部 TEL 03-3581-1101 内線3811~2

【公報以外】 資料部 TEL 03-3581-1101 内線3831~3

また、(財)日本特許情報機構でも取り扱いをしています。

これらの引用文献の複写を請求する場合は下記の点に注意してください。

〔申込方法〕

- (1) 特許(実用新案・意匠)公報については、下記の点を明記してください。

○特許・実用新案及び意匠の種類

○出願公告又は出願公開の年次及び番号(又は特許番号、登録番号)

○必要部数

- (2) 公報以外の文献の場合は、下記の点に注意してください。

○国際調査報告の写しを添付してください(返却します)。

〔申込み及び照会先〕

〒135-0016 東京都江東区東陽4-1-7 佐藤ビル

財団法人 日本特許情報機構 情報処理部業務課

TEL 03-3508-2313

注意 特許庁に対して文献の写しの請求をすることができる期間は、国際出願日から7年です。

THIS PAGE BLANK (USPTO)

様式PCT/ISA/220の備考

この備考は、PCT 19条の規定に基づく補正書の提出に関する基本的な指示を与えるためのものである。この備考は特許協力条約並びにこの条約に基づく規則及び実施細則の規定に基づいている。この備考とそれらの規定とが相違する場合には、後者が適用される。詳細な情報については、WIPOの出版物であるPCT出願人の手引も参照すること。

PCT 19条の規定に基づく補正書の提出に関する指示

出願人は、国際調査報告を受領した後、国際出願の請求の範囲を補正する機会が一回ある。しかし、国際出願のすべての部分（請求の範囲、明細書及び図面）が、国際予備審査の手続においても補正できるもので、例えば出願人が仮保護のために補正書を公開することを希望する場合又は国際公開前に請求の範囲を補正する別の理由がある場合を除き、通常PCT 19条の規定に基づく補正書を提出する必要はないことを強調しておく。さらに、仮保護は一部の国のみで与えられるだけであることも強調しておく。

補正の対象となるもの

PCT 19条の規定により請求の範囲のみ補正することができる。

国際段階においてPCT 34条の規定に基づく国際予備審査の手続において請求の範囲を（更に）補正することができる。

明細書及び図面は、PCT 34条の規定に基づく国際予備審査の手続においてのみ補正することができる。

国内段階に移行する際、PCT 28条（又はPCT 41条）の規定により、国際出願のすべての部分を補正することができる。

いつ

国際調査報告の送付の日から2月又は優先日から16月の内どちらか遅く満了するほうの期間内。しかし、その期間の満了後であっても国際公開の技術的な準備の完了前に国際事務局が補正を受領した場合には、その補正書は、期間内に受理されたものとみなすことを強調しておく（PCT規則46.1）。

補正書を提出すべきところ

補正書は、国際事務局のみに提出でき、受理官庁又は国際調査機関には提出してはいけない（PCT規則46.2）。国際予備審査の請求書を提出した／する場合については、以下を参照すること。

どのように

1以上の請求の範囲の削除、1以上の新たな請求の範囲の追加、又は1以上の請求の範囲の記載の補正による。

差替え用紙は、補正の結果、出願当初の用紙と相違する請求の範囲の各用紙毎に提出する。

差替え用紙に記載されているすべての請求の範囲には、アラビア数字を付さなければならない。請求の範囲を削除する場合、その他の請求の範囲の番号を付け直す必要はない。請求の範囲の番号を付け直す場合には、連続番号で付け直すなければならない（PCT実施細則第205号(b)）。

補正は国際公開の言語で行う。

補正書にどのような書類を添付しなければならないか

書簡（PCT実施細則第205号(b)）

補正書には書簡を添付しなければならない。

書簡は国際出願及び補正された請求の範囲とともに公開されることはない。これを「PCT 19条(1)に規定する説明書」と混同してはならない（「PCT 19条(1)に規定する説明書」については、以下を参照）。

書簡は、英語又は仏語を選択しなければならない。ただし、国際出願の言語が英語の場合、書簡は英語で、仏語の場合、書簡は仏語で記載しなければならない。

書簡には、出願時の請求の範囲と補正された請求の範囲との相違について表示しなければならない。特に、国際出願に記載した各請求の範囲との関連で次の表示（2以上の請求の範囲についての同一の表示する場合は、まとめることができる。）をしなければならない。

- (i) この請求の範囲は変更しない。
- (ii) この請求の範囲は削除する。
- (iii) この請求の範囲は追加である。
- (iv) この請求の範囲は出願時の1以上の請求の範囲と差し替える。
- (v) この請求の範囲は出願時の請求の範囲の分割の結果である。

THIS PAGE BLANK (USPTO)

次に、添付する書簡中での、補正についての説明の例を示す。

1. [請求の範囲の一部の補正によって請求の範囲の項数が48から51になった場合] :
“請求の範囲1-29、31、32、34、35、37-48項は、同じ番号のもとに補正された請求の範囲と置き換えられた。請求の範囲30、33及び36項は変更なし。新たに請求の範囲49-51項が追加された。”
2. [請求の範囲の全部の補正によって請求の範囲の項数が15から11になった場合] :
“請求の範囲1-15項は、補正された請求の範囲1-11項に置き換えられた。”
3. [原請求の範囲の項数が14で、補正が一部の請求の範囲の削除と新たな請求の範囲の追加を含む場合] :
“請求の範囲1-6及び14項は変更なし。請求の範囲7-13は削除。新たに請求の範囲15、16及び17項を追加。”又は
“請求の範囲7-13は削除。新たに請求の範囲15、16及び17項を追加。その他の全ての請求の範囲は変更なし。”
4. [各種の補正がある場合] :
“請求の範囲1-10項は変更なし。請求の範囲11-13、18及び19項は削除。請求の範囲14、15及び16項は補正された請求の範囲14項に置き換えられた。請求の範囲17項は補正された請求の範囲15、16及び17項に分割された。新たに請求の範囲20及び21項が追加された。”

“PCT19条(1)の規定に基づく説明書”(PCT規則46.4)

補正書には、補正並びにその補正が明細書及び図面に与える影響についての説明書を提出することができる(明細書及び図面はPCT19条(1)の規定に基づいては補正できない)。

説明書は、国際出願及び補正された請求の範囲とともに公開される。

説明書は、国際公開の言語で作成しなければならない。

説明書は、簡潔でなければならず、英語の場合又は英語に翻訳した場合に500語を越えてはならない。

説明書は、出願時の請求の範囲と補正された請求の範囲との相違を示す書簡と混同してはならない。説明書を、その書簡に代えることはできない。説明書は別紙で提出しなければならず、見出しを付すものとし、その見出しは“PCT19条(1)の規定に基づく説明書”の語句を用いることが望ましい。

説明書には、国際調査報告又は国際調査報告に列記された文献との関連性に関して、これらを誹謗する意見を記載してはならない。国際調査報告に列記された特定の請求の範囲に関連する文献についての言及は、当該請求の範囲の補正に関してのみ行うことができる。

国際予備審査の請求書が提出されている場合

PCT19条の規定に基づく補正書及び添付する説明書の提出の時に国際予備審査の請求書が既に提出されている場合には、出願人は、補正書(及び説明書)を国際事務局に提出すると同時にその写し及び必要な場合、その翻訳文を国際予備審査機関にも提出することが望ましい(PCT規則55.3(a)、62.2の第1文を参照)。詳細は国際予備審査請求書(PCT/IPEA/401)の注意書参照。

国内段階に移行するための国際出願の翻訳に関して

国内段階に移行する際、PCT19条の規定に基づいて補正された請求の範囲の翻訳を出願時の請求の範囲の翻訳の代わりに又は追加して、指定官庁/選択官庁に提出しなければならないこともあるので、出願人は注意されたい。

指定官庁/選択官庁の詳細な要求については、PCT出願人の手引きの第II巻を参照。

THIS PAGE BLANK (USPTO)

P C T

国際調査報告

(法 8 条、法施行規則第40、41条)
[P C T 1 8 条、P C T 規則43、44]

出願人又は代理人 の書類記号 537687W001	今後の手続きについては、国際調査報告の送付通知様式(P C T / I S A / 2 2 0) 及び下記 5 を参照すること。	
国際出願番号 P C T / J P 0 2 / 1 2 6 8 4	国際出願日 (日.月.年) 0 3 . 1 2 . 0 2	優先日 (日.月.年) 1 9 . 0 2 . 0 2
出願人 (氏名又は名称) 三菱電機株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条 (P C T 1 8 条) の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出された磁気ディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出された磁気ディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列と磁気ディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない (第 I 欄参照)。

3. ☐ 発明の単一性が欠如している (第 II 欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第 III 欄に示されているように、法施行規則第47条 (P C T 規則38.2(b)) の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から 1 カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. H03G3/30 H03F3/08 H04B10/06

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. H03G3/30 H03F3/08 H04B10/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2003年
 日本国登録実用新案公報 1994-2003年
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-196877 A (三菱電機株式会社) 2001.07.19 全文, 図1-図12 (ファミリーなし)	1-9
A	JP 2001-144552 A (日本電気株式会社) 2001.05.25 全文, 図1-図11 (ファミリーなし)	1-9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

04.03.03

国際調査報告の発送日

18.03.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

畑中 博幸



5W

9180

電話番号 03-3581-1101 内線 3574

THIS PAGE BLANK (USPTO)



THIS PAGE BLANK (USPTO)